

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное образовательное учреждение
высшего образования

«ЮЖНО-УРАЛЬСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
(НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ)»

Факультет электротехнический

Кафедра автоматики

Направление подготовки 27.03.04 «Управление в технических системах»

ДОПУСТИТЬ К ЗАЩИТЕ

Заведующий кафедрой

Голощанов С.С.

20 ___ г.

Устройство

управления и индикации

(тема)

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА
К ВЫПУСКНОЙ КВАЛИФИКАЦИОННОЙ РАБОТЕ
ЮУрГУ – 27.03.04.2018.303.00.00 ПЗ ВКР

Нормоконтроль

_____ / _____
должность / ФИО
_____ / _____
подпись / ФИО
_____ 20 ___ г.

Автор ВКР

студент группы МиЭт-420

_____ / Шерстнев А.А.
подпись / ФИО
_____ 20 ___ г.

Руководитель работы

ведущий инженер – руковод. группы отдела 144
должность

_____ / Черненко Е.Д.
подпись / ФИО
_____ 20 ___ г.

Начальник отдела 144 АО «ГРЦ Макеева»

_____ / Апполонов В.Ю.
подпись / ФИО
_____ 20 ___ г.

Директор ЦНПП АО «ГРЦ Макеева»

_____ / Усачев Д.В.
подпись / ФИО
_____ 20 ___ г.

**И. о. первого заместителя генерального
конструктора по комплексам систем
управления – начальника КБ-2
АО «ГРЦ Макеева»**

_____ / Петров П.В.
подпись / ФИО
_____ 20 ___ г.

АННОТАЦИЯ

Шерстнев А.А. Устройство управления и индикации. – Миасс: ЮУрГУ, ЭТФ, 2018, 115 с., 21 илл., библиогр. список – 23 наим., прил. 12.

В настоящей выпускной квалификационной работе разработано устройство управления и индикации (УУИ) из состава устройства управления КИА СУ ПГС, обеспечивающее управление проверками приборов из состава СУ ПГС и отображение информации о результатах проверки.

В выпускной квалификационной работе проведены:

- анализ технического задания;
- обоснование разработки структурной, функциональной и принципиальных схем;

- выбор электрорадиоэлементов;

- расчёт номиналов электрорадиоэлементов.

Разработаны следующие схемы УУИ:

- схема электрическая структурная;

- схема электрическая функциональная;

- схема электрическая соединений УУИ;

- схема электрическая принципиальная платы процессора;

- схема электрическая принципиальная платы индикации;

- схема электрическая принципиальная панели управления;

- схемы электрические принципиальные кабелей.

Выполнен анализ выполнения требований технического задания.

					27.03.04.2018.303.00.00 ПЗ			
Изм.	Лист	№ докум.	Подпись	Дата				
Разработал	Шерстнев				Устройство управления и индикации	Лит.	Лист	Листов
Проверил	Черненко						4	115
Рецензент						ЮУрГУ		
Н. контр.	Елисеев					Кафедра "Автоматика"		
Утвердил	Голощапов							

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ	9
1 ПОСТАНОВКА ЗАДАЧИ	10
1.1 Цель разработки, назначение и область применения	10
1.2 Основные требования к разрабатываемому устройству	10
1.3 Назначение КИА СУ ПГС	10
2 СРАВНЕНИЕ ПЕРЕДОВЫХ ОТЕЧЕСТВЕННЫХ ТЕХНОЛОГИЙ И РЕШЕНИЙ	12
3 ОБОСНОВАНИЕ И РАЗРАБОТКА СХЕМЫ ЭЛЕКТРИЧЕСКОЙ СТРУКТУРНОЙ	13
3.1 Обоснование выбора средств управления проверками и отображения информации в УУИ	13
3.2 Обоснование состава и принципов построения УУИ	15
3.3 Разработка структурной схемы узла микроконтроллера	18
3.4 Разработка структурной схемы узла ВВИ	21
3.5 Структурная схема УУИ	22
4 ОБОСНОВАНИЕ И РАЗРАБОТКА СХЕМЫ ЭЛЕКТРИЧЕСКОЙ ФУНКЦИОНАЛЬНОЙ	23
4.1 Обоснование выбора микроконтроллера	23
4.2 Обоснование выбора микросхем ППЗУ узла МК	30
4.3 Обоснование выбора типа задающего генератора узла МК	31
4.4 Обоснование выбора источника вторичного электропитания	33
4.5 Разработка функциональной схемы узла ПН	35
4.6 Разработка функциональной схемы узла СбрПит	36
4.7 Разработка функциональной схемы узла МК	38
4.8 Разработка функциональной схемы узла интерфейса	44
4.9 Разработка функциональной схемы узла ВВИ	46
4.10 Разработка функциональной схемы панели индикации	51

4.11	Разработка функциональной схемы панели управления	54
4.12	Функциональная схема УУИ	55
5 РАЗРАБОТКА СХЕМ ЭЛЕКТРИЧЕСКИХ		
ПРИНЦИПИАЛЬНЫХ УУИ		
5.1	Техническая реализация УУИ в заданном конструктиве	57
5.2	Выбор элементной базы	59
5.3	Техническая реализация платы процессора	66
5.4	Техническая реализация платы индикации	71
5.5	Техническая реализация панели управления	73
5.6	Перечень конструкторских документов УУИ.....	74
6 РАЗРАБОТКА СХЕМЫ АЛГОРИТМА ПРОГРАММЫ		
ФУНКЦИОНИРОВАНИЯ УУИ.....		
	Описание алгоритма программы функционирования УУИ	75
7 АНАЛИЗ ВЫПОЛНЕНИЯ ТРЕБОВАНИЙ ТЕХНИЧЕСКОГО		
ЗАДАНИЯ.....		
	ЗАКЛЮЧЕНИЕ	82
	БИБЛИОГРАФИЧЕСКИЙ СПИСОК	83
	ПРИЛОЖЕНИЕ А Техническое задание на разработку выпускной	
	квалификационной работы по теме "Устройство управления и индикации"	85
	ПРИЛОЖЕНИЕ Б Схема электрическая структурная	94
	ПРИЛОЖЕНИЕ В Схема электрическая функциональная	95
	ПРИЛОЖЕНИЕ Г Схема электрическая соединений.....	96
	ПРИЛОЖЕНИЕ Д Схема электрическая принципиальная платы	
	процессора	97
	ПРИЛОЖЕНИЕ Е Перечень элементов платы процессора.....	100
	ПРИЛОЖЕНИЕ Ж Схема электрическая принципиальная платы	
	индикации	108
	ПРИЛОЖЕНИЕ З Перечень элементов платы индикации.....	110
	ПРИЛОЖЕНИЕ И Схема электрическая принципиальная платы	
	управления	112

ПРИЛОЖЕНИЕ К	Схема электрическая принципиальная кабеля К1	113
ПРИЛОЖЕНИЕ Л	Схема электрическая принципиальная кабеля К2.....	114
ПРИЛОЖЕНИЕ М	Схема алгоритма программы	
функционирования УУИ.....		115

ВВЕДЕНИЕ

АО "ГРЦ Макеева" известно в России и за рубежом как стратегический холдинг оборонно-промышленного комплекса страны и ракетно-космической отрасли, головной разработчик жидкостных и твердотопливных ракетных комплексов стратегического назначения с баллистическими ракетами, один из крупнейших научно-конструкторских центров России по разработке ракетно-космической техники.

В настоящее время коллективом АО ГРЦ "Макеева" ведётся разработка ракетного комплекса стратегического назначения, в состав которого входит система управления пневмогидросистемами комплекса (СУ ПГС). Поддержание работоспособности СУ ПГС в процессе эксплуатации ракетного комплекса должна обеспечить в эксплуатирующей организации контрольно-испытательная аппаратура СУ ПГС (КИА СУ ПГС).

В настоящей выпускной квалификационной работе (ВКР) разработано устройство управления и индикации из состава устройства управления КИА СУ ПГС, обеспечивающее управление проверками приборов из состава СУ ПГС и отображение информации о результатах проверки.

Количество элементов в схеме УУИ и их габаритно-массовые характеристики позволяют реализовать принципиальную схему устройства в заданном конструктиве, встраиваемом в панель устройства управления КИА СУ ПГС.

1 ПОСТАНОВКА ЗАДАЧИ

Цель разработки, назначение и область применения

Цель выполнения работы – техническая реализация устройства управления и индикации из состава КИА СУ ПГС, основанная на применении современной отечественной элементной базы с большими гарантийными сроками и высокими техническими и эксплуатационными характеристиками.

УУИ предназначено для управления проверками работоспособности приборов из состава СУ ПГС и отображения информации о результатах проверки.

Область применения – работа в составе КИА СУ ПГС при проверке работоспособности приборов из состава СУ ПГС.

Основные требования к разрабатываемому устройству

Требования к разрабатываемому устройству приведены в техническом задании на разработку ВКР по теме "Устройство управления и индикации", утвержденном начальником отдела 144 АО "ГРЦ Макеева" и представленном в приложении А настоящей пояснительной записки.

Назначение КИА СУ ПГС

КИА предназначена для автоматизированного выполнения:

– проверок устройств из состава ЗИП СУ ПГС для подтверждения их работоспособности перед установкой в штатные места эксплуатации СУ ПГС в соответствии с требованиями ЭД;

– проверок устройств из состава СУ ПГС для подтверждения неисправностей, выявленных в результате проверок СУ ПГС при эксплуатации;

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		10

– периодических проверок приборов (устройств) из состава ЗИП СУ ПГС, находящихся на хранении на объекте эксплуатации в соответствии с требованиями ЭД;

– периодических поверок измерительных каналов устройств преобразования из состава СУ ПГС и ЗИП СУ ПГС в соответствии с требованиями ЭД;

– самопроверки КИА с локализацией неисправностей с точностью до сменного блока (модуля).

Выводы по разделу 1

В разделе 1 определены цель выполнения работы, назначение и область применения УУИ, основные требования к устройству, а также приведено назначение КИА СУ ПГС.

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		11

2 СРАВНЕНИЕ ПЕРЕДОВЫХ ОТЕЧЕСТВЕННЫХ ТЕХНОЛОГИЙ И РЕШЕНИЙ

2.1 Устройство управления и индикации разрабатывается в соответствии с требованиями, заданными в ТЗ, и предназначен для работы в составе определенной системы управления, в связи с чем, модуль аналогов не имеет.

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		12

3 ОБОСНОВАНИЕ И РАЗРАБОТКА СХЕМЫ ЭЛЕКТРИЧЕСКОЙ СТРУКТУРНОЙ

Обоснование выбора средств управления проверками и отображения информации в УУИ

Выбор средств отображения и управления на данном этапе проведен с целью оценки аппаратных средств УУИ для технической реализации панелей управления и индикации.

При выборе средств отображения следует учитывать, что в соответствии с ТЗ оператору следует предоставить следующую информацию:

- проверка идет;
- результат проверки ОК – исправен или неисправен;
- число-буквенную информацию, состоящую из шести символов, цифровых – от 0 до 9 или буквенных – А, В, С, D, E, F.

Очевидно, что наиболее простым решением технической реализации задачи отображения информации и удобным с эргономической точки зрения является применение единичных и знаковосинтезирующих семисегментных индикаторов.

В качестве органов управления будут выбраны малогабаритные поворотные переключатели и кнопочные выключатели.

Для реализации требований ТЗ в части обеспечения управления проверками устройств на панели управления должны быть размещены пять переключателей и два кнопочных выключателя:

- "УУИ" – переключатель, задающий режим работы УУИ;
- "УСТРОЙСТВО" – переключатель, обеспечивающий выбор программы проверки устройства;
- "ЭТАП" – переключатель, обеспечивающий выбор программы соответствующего этапа в программе проверки устройства (кроме УП);

- "НОМЕР КАНАЛА УП" и "НОМЕР ВХОДА УП" – переключатели, задающие номер канала УП и номер входа в канале для проверки;
- "ВКЛ" и "ВЫКЛ" – кнопочные выключатели, инициирующие начало и завершение проверки.

Размещение и маркировка органов управления и индикации на панели УУИ должны быть выполнены в соответствии с рисунком 3.1.

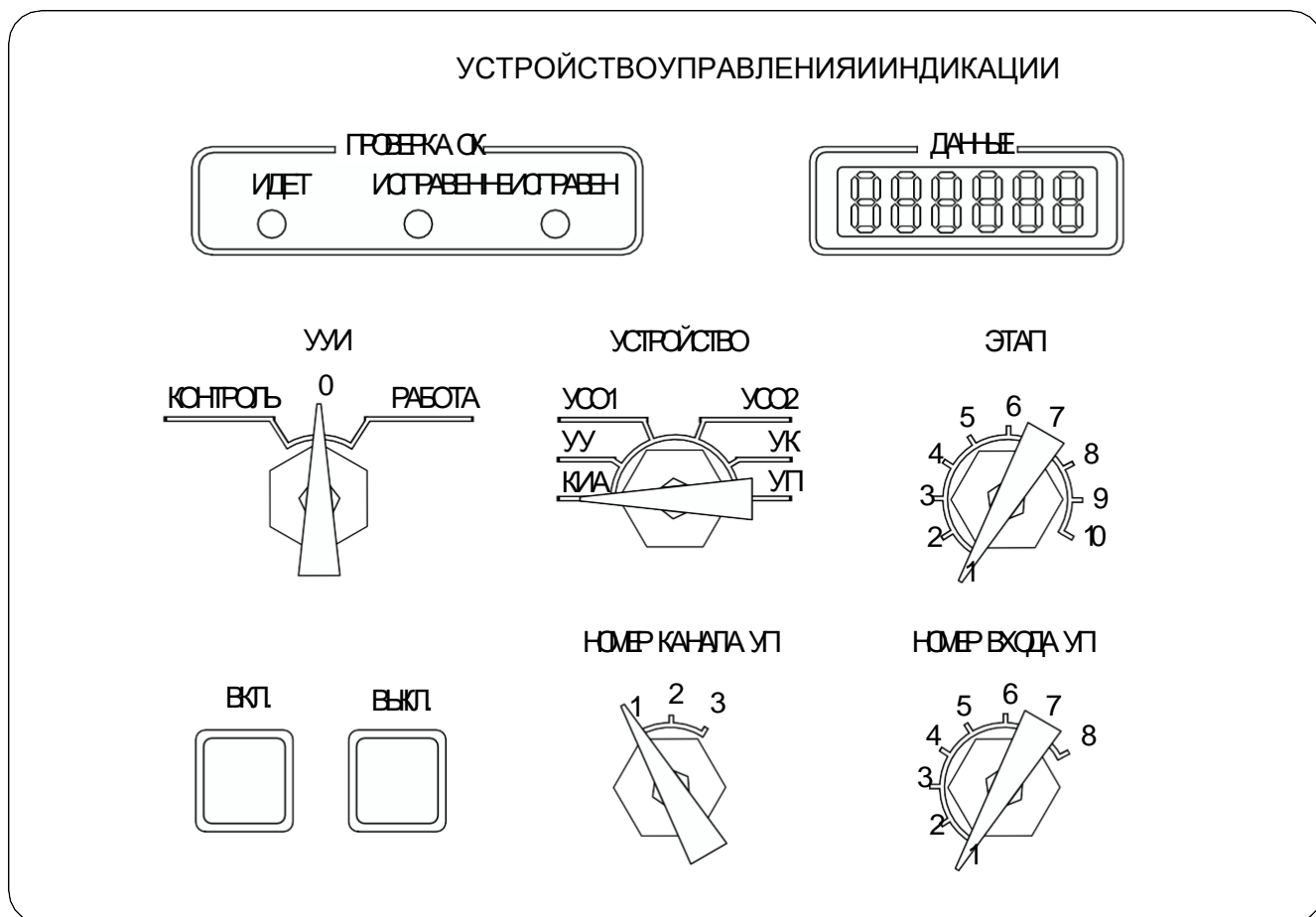


Рисунок 3.1 – Общий вид панели управления и индикации

Для дальнейшей разработки УУИ следует учесть, что панель индикации содержит 51 индикатор. От органов управления поступает 32 цепи управляющих сигналов.

Обоснование состава и принципов построения УУИ

В целом состав УУИ определен требованиями ТЗ и должен содержать процессор, панель управления и панель индикации.

Направления технической реализации панелей управления и индикации определены в подразделе 3.1.

Процессор УУИ будет построен на базе 16-ти разрядного микроконтроллера, обеспечивающего адресацию памяти объемом 64 Кбайт.

Структурная схема построения УУИ приведена на рисунке 3.2.

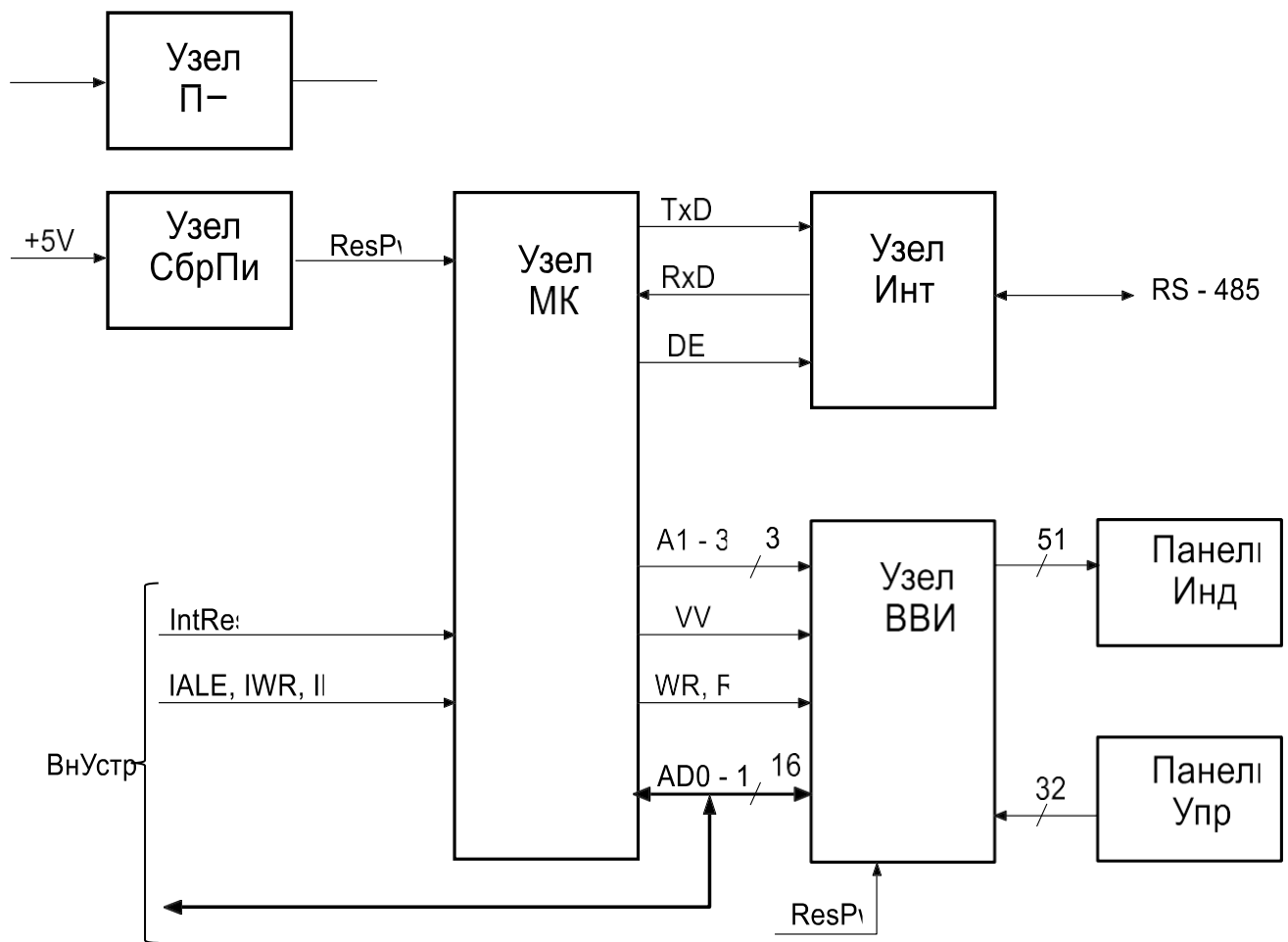


Рисунок 3.2 – Структурная схема построения УУИ

3.2.5 В состав УУИ входят следующие основные узлы:

- узел преобразователя напряжения (ПН);
- узел формирования сигнала сброс при включении питания (СбрПит);
- узел микроконтроллера (МК);
- узел ввода/вывода информации (ВВИ);
- узел интерфейса (Инт);
- панель индикации (Инд);
- панель управления (Упр).

Узел ПН преобразует напряжение постоянного тока уровня 27 В в напряжение постоянного тока уровня 5 В для электропитания ЭРИ УУИ.

Узел СбрПит предназначен для формирования сигнала сброса "ResPw" на время установления выходного напряжения питания преобразователя ПН после подачи входного напряжения. Сигнал "ResPw" на время установления должен переводить МК в состояние сброса.

Узел МК выполняет следующие функции:

- хранение программы функционирования УУИ в программируемом постоянном запоминающем устройстве (ППЗУ) и её исполнение;
- формирование сигналов адреса ("A1" – "A3", "VV") и управления ("WR", "RD"), обеспечивающих обмен данными по мультиплексной шине адреса-данных с узлом ВВИ. Обмен данными должен осуществляться:
 - а) с целью ввода управляющих сигналов, поступающих от органов управления панели управления;
 - б) вывода сигналов управления индикаторами, размещенными на панели индикации, с целью отображение информации о ходе выполнения проверок и результатов проверок;
- обмен данными по линиям вывода и ввода последовательных данных "TxD" и "RxD" с узлом ИНТ при выполнении программ проверок устройств из состава СУ ПГС, программы самопроверки КИА.

3.2.9 Узел ВВИ, по сигналам управления МК, обеспечивает выполнение следующих функций:

- прием данных с разрядов шины адреса-данных "AD0" – "AD15" микроконтроллера, формирование и выдачу сигналов управления индикаторами, размещенными на панели индикации, для отображения информации о ходе выполнения проверок и результатов проверок;
- прием сигналов управления проверками с панели управления и выдачу данных на шину адреса-данных;
- сброс сигналов управления индикаторами по сигналу "ResPw" при включении электропитания УУИ.

Узел интерфейса обеспечивает преобразование входных сигналов интерфейса "RS-485" в сигналы входных последовательных данных "RxD" микроконтроллера и выходных сигналов последовательных данных "TxD" в выходные сигналы интерфейса "RS-485". Сигнал "DE", формируемый в узле МК, определяет направление передачи данных.

Панель индикации предназначена для размещения единичных и семисегментных индикаторов, отображающих информацию о ходе выполнения проверок и результатах проверок устройств.

Панель управления предназначена для размещения органов управления (кнопок и переключателей), обеспечивающих выбор и запуск программ проверок устройств.

Управляющие сигналы внешнего устройства – "IALE", "IWR", "IRD", "IntRes", обеспечивают программирование ППЗУ из состава узла МК. Данные программирования передаются по разрядам шины адреса-данных "AD0" – "AD15". На время программирования ППЗУ сигнал внешнего сброса МК "IntRes" должен переводить МК в состояние сброса.

Разработка структурной схемы узла микроконтроллера

Структурная схема узла микроконтроллера разработана с учетом выполняемых функций, изложенных в п. 3.2.8.

Структурная схема узла микроконтроллера приведена на рисунке

3.3.

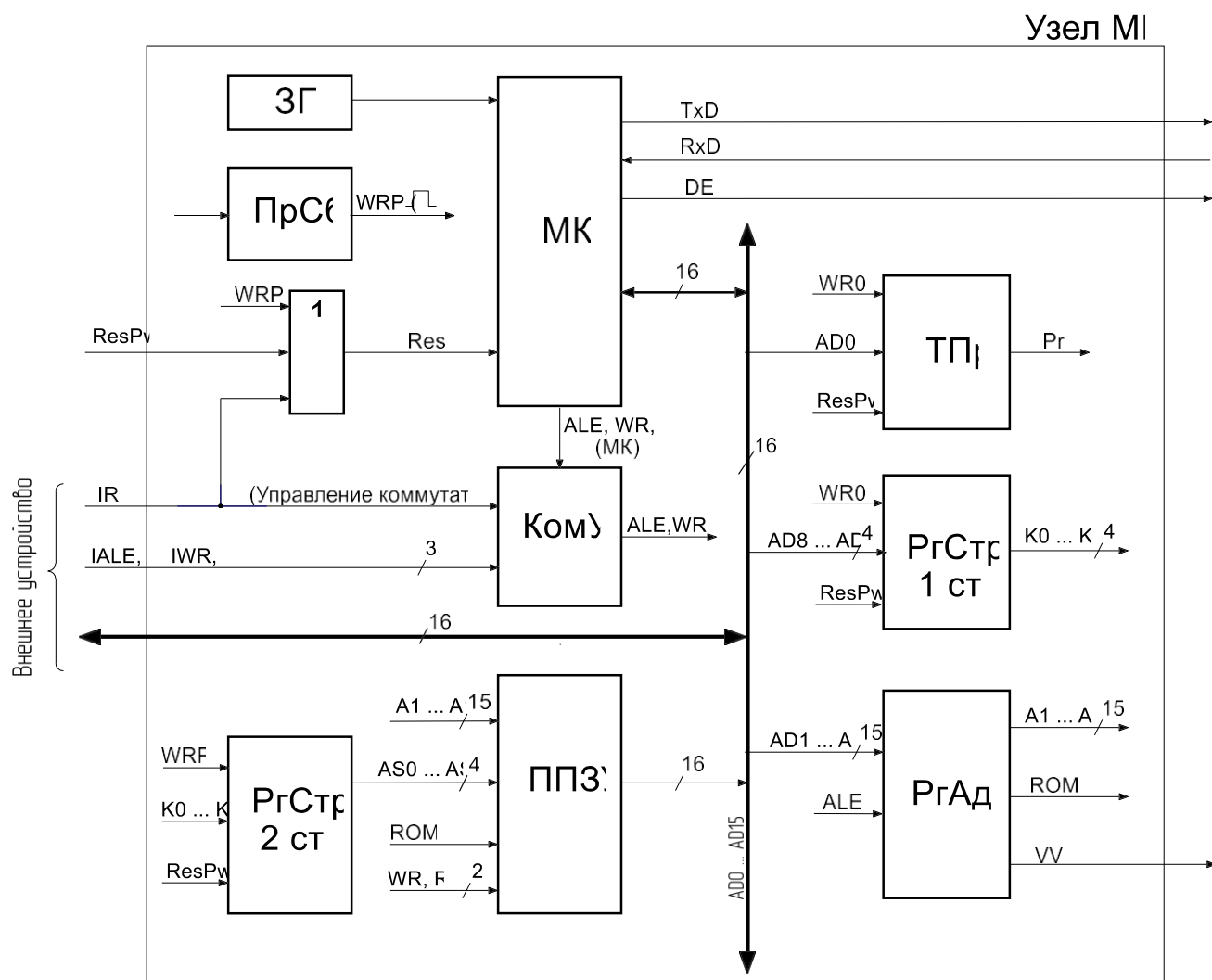


Рисунок 3.3 – Структурная схема узла МК

В состав узла МК входят следующие элементы:

- микроконтроллер (МК);
- задающий генератор (ЗГ);
- регистр фиксации адреса (РгАдр) внешней памяти со схемой формирования признаков обращения к узлам ВВИ и ППЗУ.

- программируемое постоянное запоминающее устройство (ППЗУ);
- регистры страниц ППЗУ 1-й и 2-й ступени (РгСтр1ст и РгСтр2ст);
- триггер прерывания (ТПр);
- схема сброса по прерыванию (ПрСбр);
- коммутатор управляющих сигналов (КомУс).

Микроконтроллер – вычислительно-управляющее устройство, предназначенное для выполнения функций контроля и управления в соответствии с программой функционирования УУИ.

Задающий генератор обеспечивает формирование импульсов заданной частоты для синхронизации работы внутренних устройств микроконтроллера.

РгАдр предназначен для фиксации по сигналу "ALE" разрядов адреса внешней памяти "A1" – "A15", выставляемого микроконтроллером на шине адреса-данных, и формирования признаков обращения МК к адресному пространству узлов ВВИ и ППЗУ – "VV" и "ROM". Так как шина адреса-данных 16-разрядная, то разряд адреса "A0", являющийся признаком младшего или старшего байта, не используется.

ППЗУ обеспечивает хранение программного обеспечения УУИ.

В соответствии с требованиями ТЗ общий объем памяти программ УУИ должен быть не менее 420 Кбайт. Учитывая, что объем заданной ТЗ памяти программ значительно превышает объем адресного пространства МК, в ППЗУ должна быть реализована страничная организация памяти, при этом размер одной страницы должен быть в пределах объема адресного пространства микроконтроллера.

Микроконтроллер, согласно п. 3.2.3, обеспечивает адресацию памяти объемом 64 Кбайт (при 16-разрядной шине адреса-данных 32 Кслов).

Как правило, большая часть адресного пространства предназначена для внешней памяти программ (ПЗУ), памяти данных (ОЗУ) и устройств ввода-вывода, меньшая часть адресного пространства (не более 8 Кбайт) используется внутренними устройствами микроконтроллера. Использование внешнего ОЗУ,

согласно требованиям ТЗ, не предполагается, адресное пространство ввода-вывода не превысит восьми слов (16 байт), то есть для ППЗУ на одной странице может быть зарезервировано не более 56 Кбайт (или 28 Кслов при 16-разрядной шине адреса-данных).

Учитывая вышеизложенное, память программ микроконтроллера будет реализована на шестнадцати страницах, предположительно по две страницы на программу.

При смене страницы, МК должен начинать работу с начального адреса программы, размещенной на данной странице, в связи с чем смену страницы следует выполнять вместе с командой сброса МК.

Страничная организация памяти ППЗУ реализуется на двух регистрах, задающих код страницы – регистры 1-й и 2-й ступени.

RгСтр1ст предназначен для записи кода страницы по соответствующей команде МК. Данные в RгСтр1ст поступают с разрядов "AD8" – "AD11" шины адреса-данных микроконтроллера и записываются в регистр сигналом "WR0". Сигнал "WR0" формируется в узле ВВИ.

Регистр 2-й ступени (RгСтр2ст) обеспечивает синхронизацию команды сброса МК с установкой кода страницы на соответствующих адресных входах ППЗУ. Запись в регистр 2-й ступени и сброс МК осуществляется импульсным сигналом "WRP".

Схема сброса по прерыванию ПрСбр предназначена для формирования импульсного сигнала "WRP". Длительность сигнала должна обеспечивать перевод микроконтроллера в состояние сброса.

Формирование сигнала "WRP" инициирует сигнал прерывания Pr, поступающий с выхода триггера прерывания TПр. Запись в TПр осуществляется с разряда "AD0" шины адреса-данных сигналом "WR0".

При программировании ППЗУ схема КомУС обеспечивает подключение внешних управляющих сигналов "IALE", "IWR", "IRD" вместо аналогичных сигналов, формируемых микроконтроллером. Сигнал "IR" является управляющим сигналом для коммутатора КомУс.

Разработка структурной схемы узла ВВИ

Структурная схема узла ВВИ разработана с учетом выполняемых функций, изложенных в п. 3.2.9.

Структурная схема узла ВВИ приведена на рисунке 3.4.

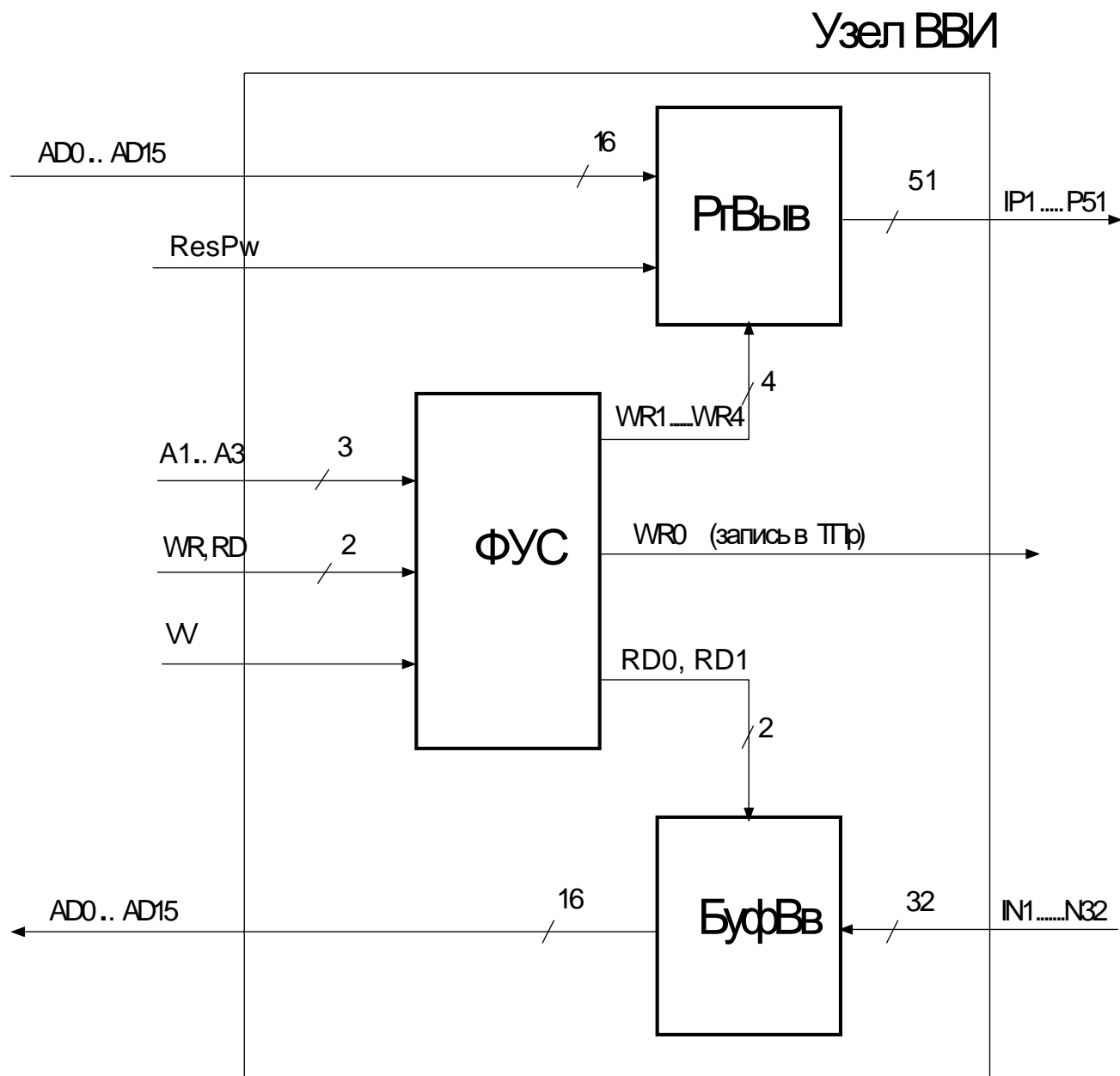


Рисунок 3.4 – Структурная схема узла ВВИ

В состав узла ВВИ входят следующие элементы:

- схема регистров вывода (РгВыв);
- схема буфера ввода (БуфВв);

Изм	Лист	№ докум.	Подпись	Дата

27.03.04.2018.303.00.00 ПЗ

Лист

21

– схема формирователя управляющих сигналов (ФУС).

Схема регистров вывода содержит четыре 16-разрядных регистра, которые предназначены для записи и вывода данных, обеспечивающих управление индикаторами из состава панели индикации. Запись данных в каждый регистр осуществляется с шины адреса-данных "AD0" – "AD15" сигналами "WR1" – "WR4". Сигналом "ResPw" осуществляется сброс регистров при включении питания.

Схема буфера ввода содержит два 16-разрядных буферных элемента, обеспечивающих ввод управляющих сигналов с панели управления УУИ и подключение выходов буферных элементов сигналами "RD0" и "RD1" к шине адреса-данных микроконтроллера.

Схема ФУС, по сигналам управления МК – "WR" и "RD", в зависимости от адреса внешней памяти, формирует стробы записи в регистры вывода данных – "WR1" – "WR4", строб записи в триггер прерывания узла МК – "WR0" и стробы чтения данных из буферных элементов – "RD0" и "RD1".

3.5 Структурная схема УУИ

3.5.1 Структурная схема УУИ, представляющая полный состав узлов устройства и их взаимодействие, приведена в приложении 3 настоящей пояснительной записки.

Выводы по разделу 3

В разделе 3 определен состав УУИ, разработана структурная схема УУИ в соответствии с требованиями технического задания.

4 ОБОСНОВАНИЕ И РАЗРАБОТКА СХЕМЫ ЭЛЕКТРИЧЕСКОЙ ФУНКЦИОНАЛЬНОЙ

Обоснование выбора микроконтроллера

Основные сведения о выбранном микроконтроллере

В качестве микроконтроллера будет выбрана 16-разрядная ОЭВМ без ПЗУ – микросхема 1874BE05T АЕЯР.431280.575ТУ. Микросхема включена в "Перечень ЭКБ 02-2017" (часть 02 – "Микросхемы интегральные"), категория качества "ВП", срок службы микросхемы 25 лет.

Основным критерием выбора данной микросхемы является применение её в модуле процессора из состава СУ ПГС, а также в модуле ЦПИ из состава УВВ КИА СУ ПГС.

Классификационные параметры микросхемы согласно технических условий [8]:

- разрядность АЛУ – 16 бит;
- регистровое ОЗУ – (488x8) бит;
- адресуемая память – (64Кx8) бит;
- таймеры 16-разрядные – 2;
- сторожевой таймер – 1;
- универсальный последовательный порт – 1;
- устройство ввода-вывода импульсных сигналов – 4/6;
- блок ШИМ-сигналов – 3;
- устройство аппаратного обслуживания прерываний – 1;
- восьмиразрядные порты ввода-вывода – 5;
- тактовая частота – 20 МГц;
- напряжение питания:
 - U_{сс1} – от 4,5 до 5,5 В;
 - U_{сс2} – от 3,0 до 3,6 В.

Микроконтроллер 1874BE05T содержит полный набор команд, включающий операции с битами, байтами, словами, двойными словами (беззнаковые 32 бит), длинные операции (32 бит со знаком), работу с флагами, а также переходы и вызовы подпрограмм. Все стандартные логические и арифметические команды работают как с байтами, так и со словами.

Система команд микроконтроллера поддерживает широкий набор методов адресации, в т. ч. битовую адресацию. Архитектура микроконтроллера, называемая архитектурой типа "регистр-регистр", принципиально отличается от архитектуры микроконтроллеров других серий. Такая архитектура обеспечивает достижение более высокой производительности и упрощает работу с периферией.

Микроконтроллер имеет внешнюю системную магистраль для обмена данными с внешней памятью и дополнительными периферийными устройствами. [9].

Функциональное назначение выводов микросхемы 1874BE05T.

На рисунке 4.1 приведено условное изображение микросхемы 1874BE05T.

Микроконтроллер имеет пять 8-разрядных портов ввода-вывода данных:

- PORT 0 – входной;
- POTR1, PORT2 – двунаправленные, с возможностью конфигурирования выводов портов на выполнение альтернативных функций. Выводы P2.0 и P2.1 конфигурируются как "TXD" – выход последовательных данных и "RXD" – вход-выход последовательных данных универсального последовательного порта;
- POTR3, PORT4 – двунаправленные, могут быть сконфигурированы как системная шина адреса-данных AD0 – AD15.

4.1.3.3 Функциональное назначение остальных выводов следующее:

- EA – вход "Внешний доступ";
- BW – вход "Разрядность внешней шины";

- READY – вход "Готовность";
- NMI – вход "Немаскируемое прерывание";
- RESET – вход-выход с открытым стоком "Сброс";
- INST – выход "Чтение команды";
- ALE– выход "Разрешение записи адреса";
- WR – выход "Запись";
- BHE – выход "Разрешение старшего байта";
- RD – выход "Чтение";
- CLKOUT – выход "Системный тактовый сигнал";
- BQ1, BQ2 – выводы подключения кварцевого генератора;
- VPP – вход "Возврат из пониженного потребления".

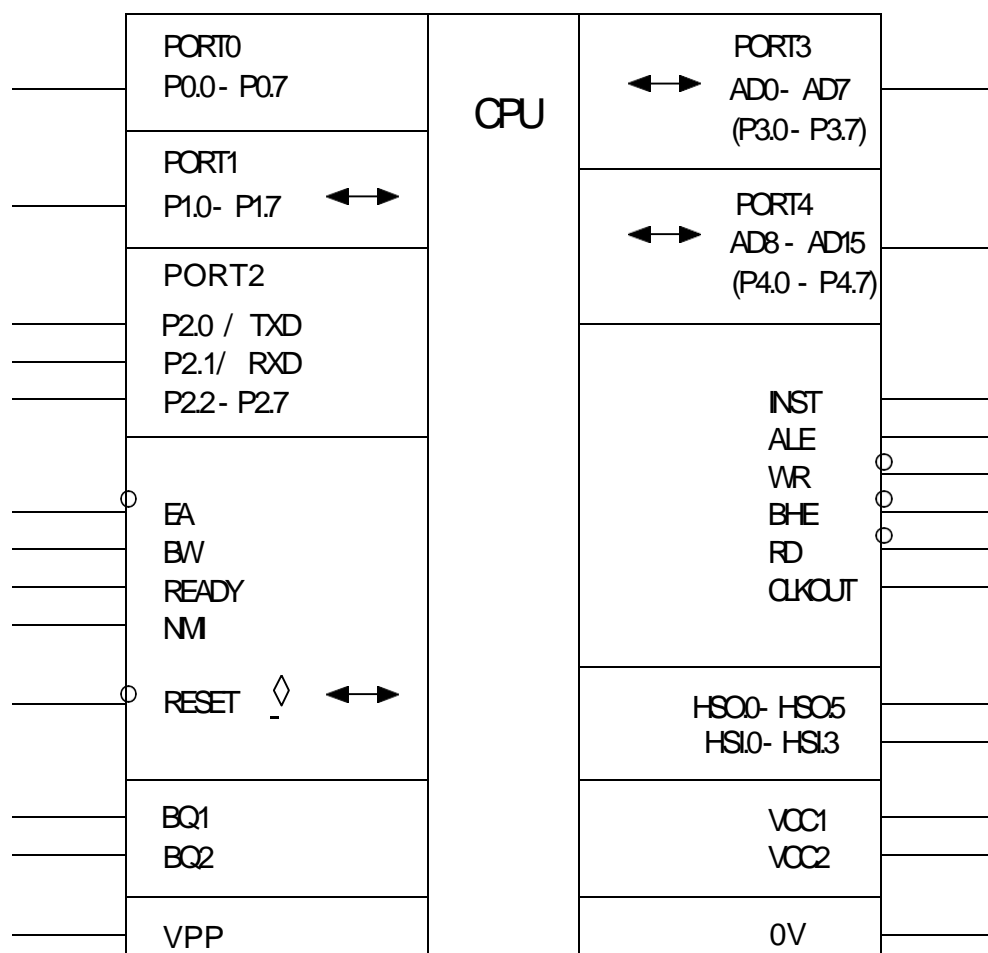


Рисунок 4.1 – Условное графическое обозначение МК

Логический "0" на входе "EA" – определяет работу микроконтроллера с внешней памятью программ и конфигурирует порты 3 и 4 как системную шину адреса-данных.

Сигнал на входе "BW" устанавливает разрядность системной шины адреса-данных. Логическая "1" определяет 16-разрядную системную шину.

Логический "0" на входе "READY" – увеличивает длительность шинного цикла записи и чтения МК для низкоскоростных устройств внешней памяти.

Вход "NMI" должен быть в состоянии логического "0", если микроконтроллер не использует немаскируемые прерывания.

Вход "VPP" должен быть в состоянии логического "0", если микроконтроллер не использует режимы пониженного энергопотребления.

Длительность сигналов "ALE", "WR", "RD" равна периоду тактовой частоты микроконтроллера.

Распределение адресного пространства памяти микроконтроллера

Адресное пространство памяти микроконтроллера (внутреннее и внешнее) составляет 64 Кбайт.

Распределение адресного пространства памяти приведено на рисунке 4.2

Область памяти над регистровым ОЗУ и верхняя область назначаются на внешнюю память или устройства ввода-вывода.

Память программ начинается с адреса 2080h. После сброса микроконтроллер выбирает и выполняет команду, находящуюся по адресу 2080h.

В области памяти программ, с адреса 2000h, размещается память специального назначения.

Регистровое ОЗУ объемом 512 байт содержит:

- регистры специальных функций – 24 байта;
- указатель стека – два байта;

– регистровое ОЗУ общего назначения – 488 байт.

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		27



Рисунок 4.2 – Распределение адресного пространства памяти микроконтроллера

Универсальный последовательный порт

Последовательный порт ввода-вывода МК является синхронно-асинхронным портом, который включает в себя универсальный асинхронный приемник и передатчик (UART). UART имеет синхронный режим – "Mode 0" и три асинхронных – "Mode 1", "Mode 2" и "Mode 3", как для приема данных, так и для передачи.

Режим "Mode 1" является стандартным режимом асинхронной связи. Блок данных, используемых в этом режиме, содержит 10 бит: стартовый бит логический "0", восемь битов данных (младший значащий первый), стоповый бит логическая "1". Формат передачи данных в режиме "Mode 1" полностью соответствует формату, заданному в ТЗ, для передачи данных в канале связи "RS-485".

Передача и прием управляются отдельными сигналами синхронизации сдвига. Синхросигнал сдвига передачи запускается, если инициализирован генератор скорости.

Скорость обмена определяет регистр BAUD_RATE, он же выбирает источник синхронизации – тактовая частота МК (Fosk) или вход "T2CLK".

Состояние логической "1" в бите 15 регистра выбирает в качестве источника синхронизации Fosk, биты 0 – 14 регистра представляют переменную BAUD_VALUE, которая должна соответствовать заданной скорости обмена.

Переменная BAUD_VALUE представляет собой беззнаковое целое число, которое определяется по формуле 4.1 и округляется до целого числа.

$$\text{RATE_VALUE} = \frac{\text{Fosk}}{\text{BAUD_RATE} \cdot 16} - 1, \quad (4.1)$$

где,

Fosk – значение частоты источника синхронизации (Гц);

BAUD_RATE – значение заданной в ТЗ скорости обмена (бод);

RATE_VALUE – вычисленное значение скорости, которое после округления до целого числа представляет переменную BAUD_VALUE.

Чтобы обеспечить максимальное приближение значения скорости передачи данных к скорости приема данных (заданная скорость – BAUD_RATE) отличие округленного целого числа (BAUD_VALUE) от вычисленного значения (RATE_VALUE) должно быть минимальным. Это обеспечивается подбором номинального значения тактовой частоты МК – Fosk.

4.2 Обоснование выбора микросхем ППЗУ узла МК

4.2.1 Выбор микросхем ППЗУ производился с учетом выводов пунктов 3.3.10 и 3.3.11 настоящего документа по организации внешней памяти программ микроконтроллера.

Для реализации внешней памяти программ с объемом не менее 16 страниц по 28 Кслов (общий объём 448 Кслов) потребуется две микросхемы ППЗУ по 512 Кбайт каждая.

По результатам анализа характеристик ППЗУ, приведенных в "Перечне ЭКБ 02-2017" (часть 02 – "Микросхемы интегральные") [1], была найдена только одна микросхема ППЗУ с категорией качества "ВП" и объёмом 512 Кбайт – 1636PP1AY АЕЯР.431210.647 ТУ – ПЗУ с электрическим перепрограммированием FLASH-типа на (512Кx8) бит.

4.2.3.1 Основные характеристики микросхемы 1636PP1AY:

- диапазон напряжения питания от 3 до 3,6 В;
- время доступа по чтению не более 60 нс;
- время хранения информации при температура окружающей среды 85 °С 25 лет
- потребление в режиме чтения не более 40 мА.

4.2.4 Все характеристики микросхемы приведены в технических условиях [20].

Обоснование выбора типа задающего генератора узла МК

В качестве задающего генератора будет выбран кварцевый генератор ГК108-П-15ГР АФТП.433520.007 ТУ. Генераторы включены в "Перечень ЭКБ 02-2017", категория качества "ВП", срок службы 25 лет.

Генераторы данного типа более десяти лет применяются в различных устройствах, разрабатываемых в АО "ГРЦ Макеева".

Генератор обладает малыми габаритными размерами и не требует дополнительных элементов обвязки. Генератор характеризуется высокой стабильностью, форма выходного сигнала – импульсная прямоугольная, скажность $2\pm 10\%$, нагрузка – ТТЛ или КМОП. Характеристики генератора приведены. [21]

При выборе номинальной частоты кварцевого генератора необходимо, учесть следующие критерии:

- обеспечение максимальной производительности микроконтроллера;
- наименьшее быстродействие устройств, подключенных к шине адреса-данных МК;
- скорость обмена по последовательному интерфейсному каналу связи.

Максимальная тактовая частота микроконтроллера составляет 20 МГц;

Наименее быстродействующим устройством, подключенным к шине адреса-данных МК, является ППЗУ с быстродействием 60 нс. Учитывая, что длительность сигнала чтения микроконтроллера (RD) равна периоду тактовой частоты МК, для гарантированного чтения ПЗУ период тактовой частоты должен быть не менее 70 нс.

Скорость передачи данных в канале RS-485, согласно ТЗ, составляет 115200 бод. Для того что бы микроконтроллер обеспечивал заданную скорость передачи данных по последовательному каналу, в регистр в соответствии с п. 4.1.5, требуется загрузить беззнаковое целое число BAUD_VALUE, определяющее скорость обмена. Значение BAUD_VALUE

определяется по формуле 4.1 и округляется до целого числа, при этом отличие округленного целого числа от вычисленного значения должно быть минимальным.

4.3.8 Результаты вычислений BAUD_VALUE для девяти значений номинальных частот, с которыми поставляются генераторы ГК108-П-15ГР, приведены в таблице 4.1.

Таблица 4.1 – Расчетные данные для выбора номинальной частоты генератора

Fosk, МГц	Tosk, нс	RATE_VALUE	BAUD_VALUE	Погрешность, %
10	100	4,4253	4	10,6
10,368	96	4,6250	5	7,5
11,059	90	4,9999	5	0,002
11,162	89	5,0558	5	1,12
12	83	5,5104	6	8,16
12,3	81	5,6732	6	5,44
12,8	78	5,9444	6	0,93
14,5824	68	6,9115	7	1,26
14,7456	67	7,0000	7	0

4.3.8.1 Наиболее полно удовлетворяет требованиям, изложенным в пунктах 4.3.6 и 4.3.7, значение номинальной частоты генератора 11,059 МГц.

Обоснование выбора источника вторичного электропитания

Для дальнейшей разработки УУИ следует выбрать тип источника вторичного электропитания (ИВЭП), чтобы разработку схем УУИ проводить с учетом его особенностей применения.

Выбор ИВЭП проводился с учетом требований ТЗ и следующих электрических параметров:

- входное напряжение от 25,9 до 28,1 В;
- выходное напряжение $(5\pm 0,5)$ В;
- выходной ток не менее 2,0 А.

По результатам анализа характеристик ИВЭП, приведенных в "Перечне ЭКБ 18-2017" (часть 18 – "Функциональные устройства") [1], была найдена только одна серия ИВЭП, изготавливаемая с применением отечественной элементной базы, сроком службы 25 лет и категории качества "ВП". Это одноканальные модули питания серии СПН27 КЦАЯ.430604.001 ТУ (изготовитель ЗАО "Группа компаний ЭлектронИнвест" г. Москва) [5].

Из всех типов модулей питания серии СПН27, представленных в "Перечне ЭКБ 18-2015", были выбраны два типа: СПН27-10-05-I, СПН27-10-05-II.

Примечание – Символы I и II в обозначении модуля питания определяют вариант исполнения корпуса.

4.4.3 Основные технические характеристики выбранных модулей питания, приведены в таблице 5.1.

Таблица 5.1 – Основные технические характеристики модулей питания

Характеристика	Условное обозначение модуля питания	
	СПН27-10-05-I	СПН27-10-05-II
Выходная мощность, Вт	10	10
Входное напряжение, В	17 ... 36	17 ... 36
Выходное напряжение, В	5	5
Выходной ток каждого канала, А	2	2
Технологическое отклонение от $U_{\text{вых.ном}}$	$\pm 1 \%$	$\pm 1 \%$
Суммарная нестабильность $U_{\text{вых.ном}}$	$\pm 3 \%$	$\pm 3 \%$
Габаритные размеры, мм	58x34x12	62x34x12
Масса, г	63	63

Оба модуля питания удовлетворяют критериям выбора, но модуль питания типа СПН27-10-05-I обладает меньшими габаритными размерами, в связи с чем будет применен в УУИ.

Время установления выходного напряжения модуля питания СПН27-10-05:

- при включении путём подачи входного напряжения не превышает 250 мс;
- при включении по команде – 50 мс.

Разработка функциональной схемы узла ПН

Узел ПН будет построен на базе модуля питания СПН27-10-05-1, обеспечивающего преобразование напряжения постоянного тока уровня 27 В в напряжение постоянного тока уровня 5 В. Выходной ток модуля питания до 2 А.

Учитывая, что для микросхем микроконтроллера и ППЗУ требуется напряжение питания уровня 3,3 В в узел ПН следует ввести преобразователь напряжения уровня 5 В в напряжение уровня 3,3.

Функциональная схема узла ПН приведена на рисунке 4.3.

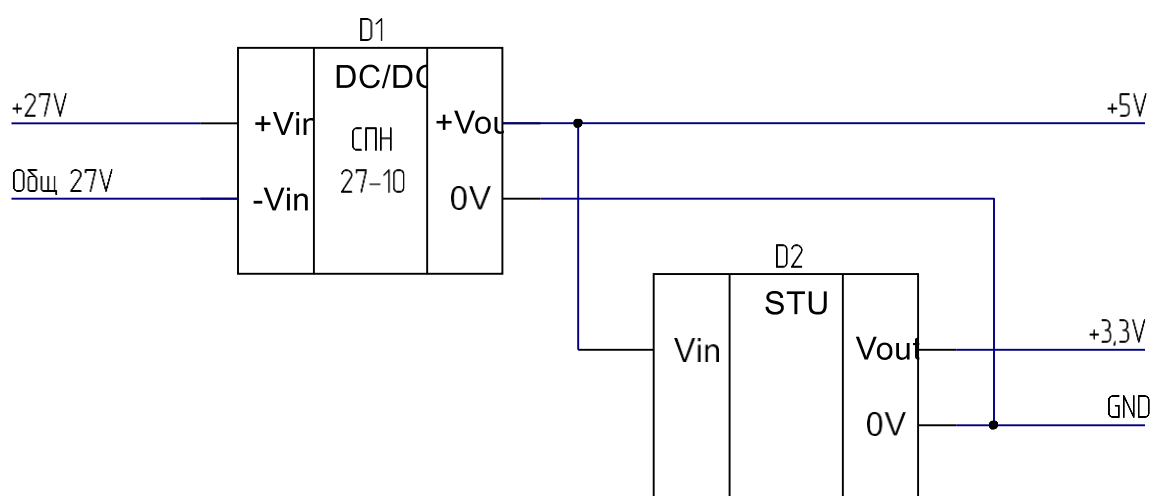


Рисунок 4.3 – Функциональная схема узла ПН

Разработка функциональной схемы узла СбрПит

Функциональная схема узла СбрПит должна быть разработана с учетом требований по назначению, изложенных в п. 3.2.7.

При разработке схемы узла СбрПит необходимо, учесть следующее:

- время установления выходного напряжения модуля питания СПН27-10-05 после подачи входного напряжения – до 250 мс;
- входное напряжение высокого уровня по входу RESET микроконтроллера – не менее 2,2 В;
- значение минимального напряжения питания МК составляет 4,5 В.

Таким образом для удержания микроконтроллера в состоянии сброса требуется обеспечить на входе RESET микроконтроллера уровень напряжения менее 2,2 В пока напряжения питания не достигнет уровня 4,5 В.

Наиболее приемлемым техническим решением, позволяющем реализовать данное требование является применение детектора напряжения.

В качестве детектора напряжения будет применена микросхема 1230ДП46Т АЕЯР.431340.367 ТУ – детектор понижения контролируемого напряжения (напряжение срабатывания 4,65 В) .[7]

Микросхема включена в "Перечень ЭКБ 02-2017", категория качества "ВП". Срок службы микросхемы 25 лет.

Основные характеристики микросхемы 1230ДП46Т:

- тип выхода – "открытый коллектор";
- напряжение питания – не менее 1 В;
- напряжение срабатывания – не более 4,65 В;
- выходной ток – не более 8 мА;
- остаточное напряжение при $U_{cc}=4,0$ В и $I_o=8$ мА – не более 1,0 В.

4.6.8 Функциональная схема узла СбрПит приведена на рисунке 4.4.

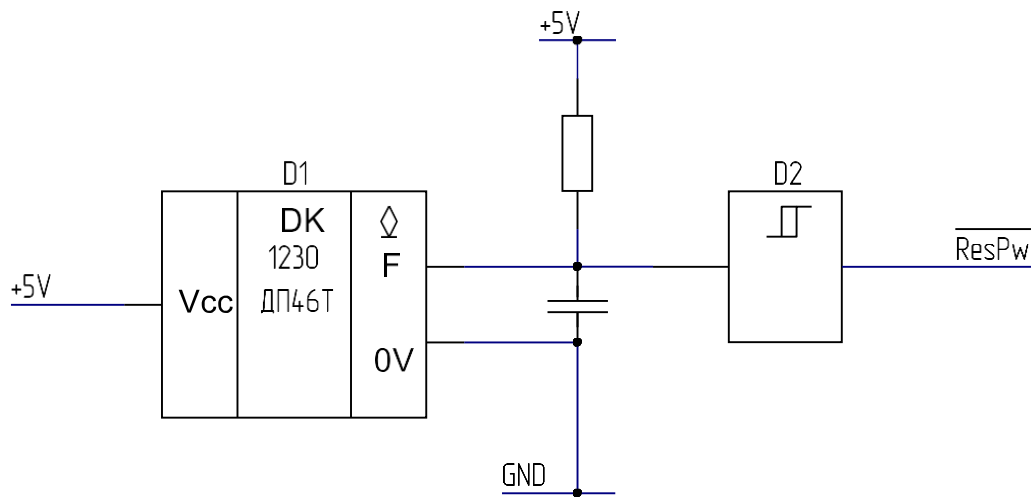


Рисунок 4.4 – Функциональная схема узла СбрПит

При напряжении питания от 1,0 до 4,65 В выход микросхемы 1230ДП46Т гарантированно находится в открытом состоянии, а сигнал ResPw в состоянии логического "0".

RC-цепь предназначена для задержки состояния сброса микроконтроллера на 30 – 40 мс. Триггер Шмитта обеспечивает приём сигналов с длинными фронтами.

Изм	Лист	№ докум.	Подпись	Дата

27.03.04.2018.303.00.00 ПЗ

Лист

37

Разработка функциональной схемы узла МК

Разработка функциональной схемы узла МК проводилась с учетом выполняемых функций узла и его состава, изложенных в п. 4.3.4.

Функциональная схема узла МК должна быть разработана в соответствии со схемами, приведенными на рисунках 4.5 – 4.8.

На рисунке 4.5 приведена функциональная схема микроконтроллера и коммутатора управляющих сигналов.

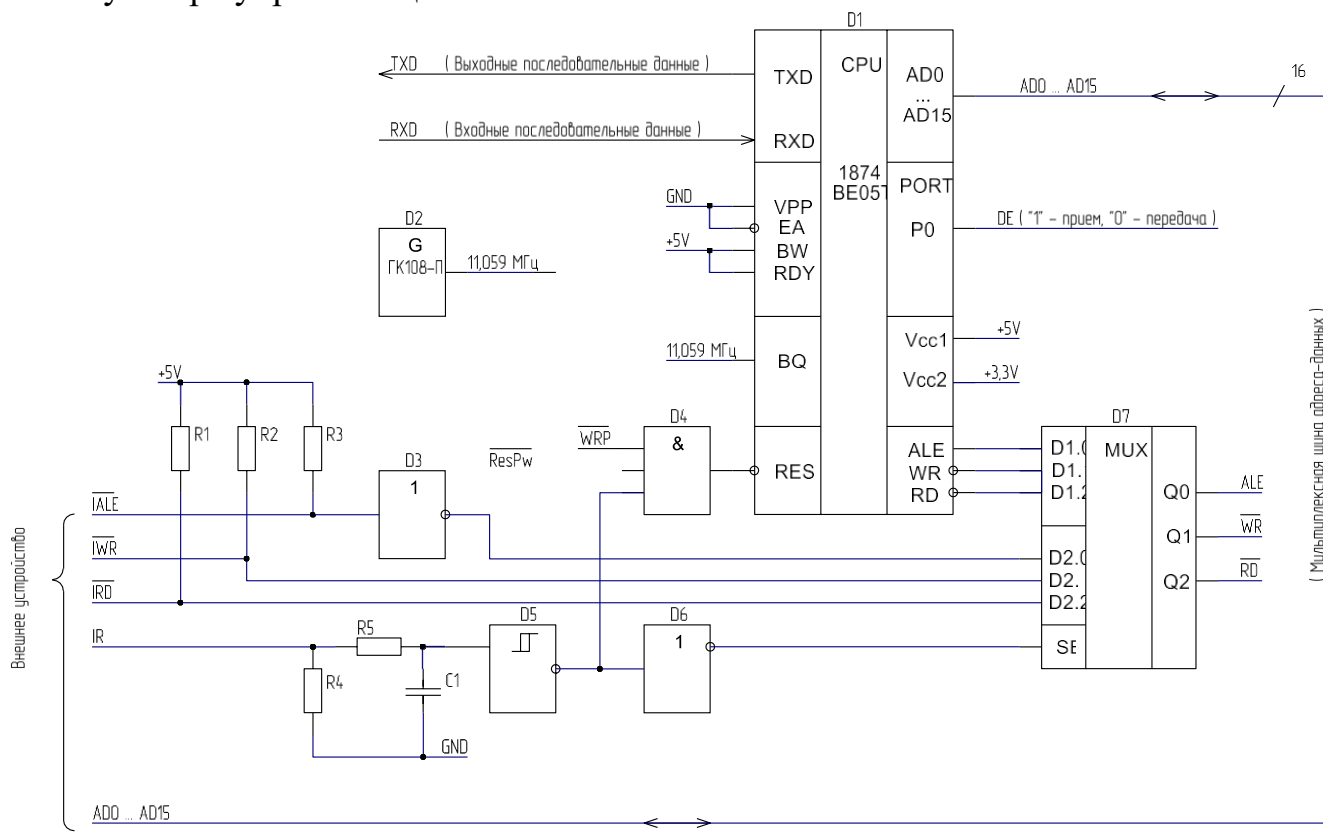


Рисунок 4.5 – Функциональная схема микроконтроллера

В качестве микроконтроллера выбрана микросхема 1874BE05T.

Микросхема содержит внешнее ППЗУ программ, системная шина – 16-разрядная.

В микроконтроллере задействуется последовательный порт, режим обмена – прием данных или передача данных, определяет сигнал "DE", формируемый с выхода "P0" порта 1 – логическая "1" признак приёма данных, логический "0" – признак передачи. После сброса микроконтроллера сигнал "DE" устанавливается в состояние логической "1".

Для чтения внешней памятью программ и записи-чтения в устройство ввода-вывода задействуются сигналы микроконтроллера "ALE", "WR", "RD".

После включения УУИ и установления напряжения питания 5 В регистр страниц обнулён, микроконтроллер выходит из состояния сброса и начинает функционирование с адреса 2080h нулевой страницы памяти программ.

При программировании ППЗУ сигнал "IR" устанавливается в состояние логической "1", при этом микроконтроллер переводится в состояние сброса, а коммутатор D7 подключает внешние сигналы управления "IALE", "IWR", "IRD".

На рисунке 4.6 приведена функциональная схема регистра фиксации адреса со схемой формирования признаков ВВИ и ППЗУ.

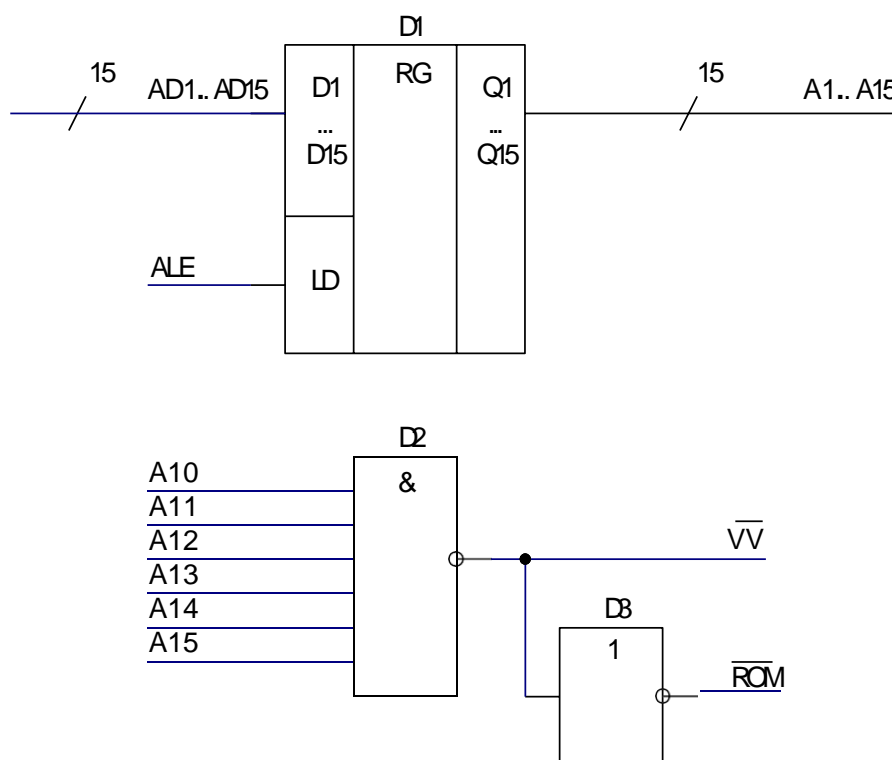


Рисунок 4.6 – Функциональная схема регистра фиксации адреса со схемой формирования признаков ВВИ и ППЗУ

Регистр D1 – пятнадцатиразрядный регистр-"защелка" (регистр с потенциальной записью данных), обеспечивает фиксацию адреса внешней памяти, выставяемого микроконтроллером на шине адреса-данных в фазе

адреса машинного цикла МК или внешним устройством. Запись разрядов "AD1" – "AD15" в регистр осуществляется по сигналу "ALE".

Схема формирования признаков обращения к адресному пространству узла ВВИ и ППЗУ выполнена на элементах D2 и D3.

Схема "И-НЕ" формирует признак обращения (логический "0") к адресному пространству узла ВВИ.

Для адресного пространства узла ВВИ отведён массив памяти объемом 1 Кслов, начинающийся с адреса FC00h, признак формируется, когда разряды адреса "A10" – "A15" находятся в состоянии логической "1".

Так как остальная часть внешнего адресного пространства МК отведена для ППЗУ, то признаком обращения к ППЗУ будет инверсное состояние сигнала VV.

На рисунке 4.6 приведена функциональная схема ППЗУ и регистров страниц.

Схема ППЗУ со страничной организацией памяти построена с учетом требований, изложенных в п. п. 3.3.8 – 3.3.16 и в соответствии со структурной схемой, приведенной на рисунке 3.3.

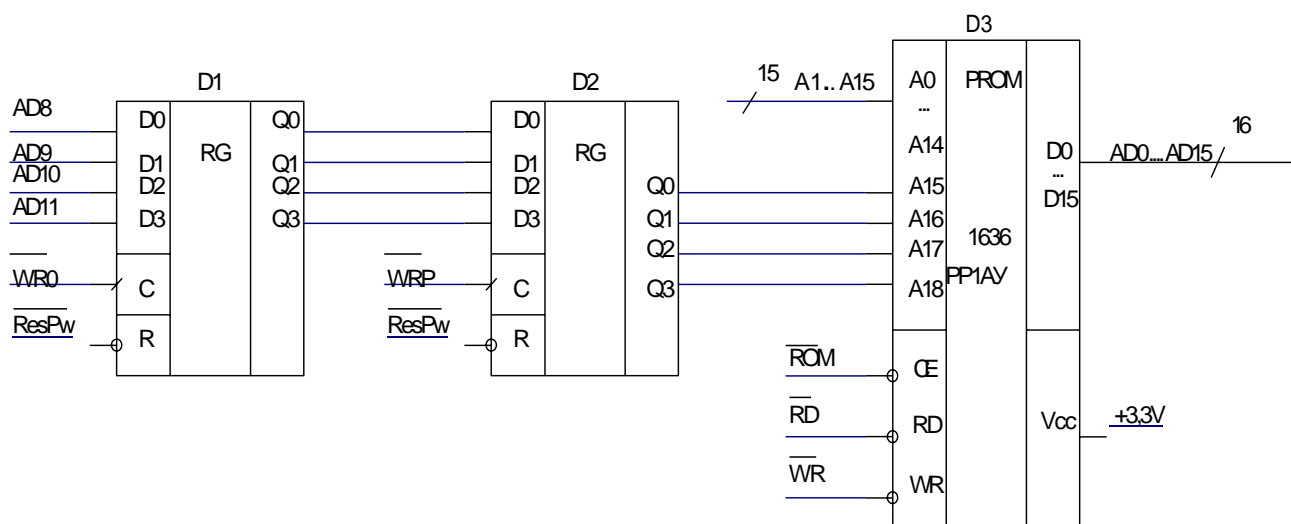


Рисунок 4.7 – Функциональная схема ППЗУ и регистров страниц

ППЗУ построено на базе двух микросхем 1636PP1AУ объемом 512 Кбайт каждая. Входы-выходы "D0" – "D15" ППЗУ подключены к соответствующим разрядам шины адреса-данных микроконтроллера.

К входам адреса "A0" – "A14" ППЗУ подключены, соответственно, разряды адреса "A1" – "A15", которые обеспечивают доступ к массиву ППЗУ объемом 32 Кслов. К входам адреса "A15" – "A18" подключены четыре разряда, содержащие код страницы ППЗУ.

По сигналу "ROM" осуществляется выбор микросхем ППЗУ. По сигналу "RD" разрешается чтение состояния ячейки ППЗУ, определенной сигналами адреса. Данные из ячейки ППЗУ выставляются на выходах "D0" – "D15" на время действия низкого уровня сигнала "RD". Данные могут быть считаны как микроконтроллером в фазе данных машинного цикла МК, так и внешним устройством при программировании ППЗУ.

При низком уровне сигнала "WR" разрешается запись в соответствующую ячейку памяти данных, выставленных внешним устройством на шине адреса-данных.

На элементах D1 и D2 построены регистры страниц первой и второй ступени соответственно. Регистр D1 обеспечивает запись состояния разрядов "AD8" – "AD11", определяющих код страницы ППЗУ по положительному фронту сигнала "WR0". Данные выставляются микроконтроллером или внешним устройством на шине адреса-данных.

По положительному фронту сигнала "WRP" данные с кодом страницы записываются в регистр второй ступени D2 и выставляются на входах адреса ППЗУ "A15" – "A18". Сигналом "ResPw" осуществляется сброс регистров D1 и D2 при включении питания УУИ.

На рисунке 4.8 приведена функциональная схема сброса МК по прерыванию, которая построена с учетом требований, изложенных в п. п. 3.3.17, 3.3.18.

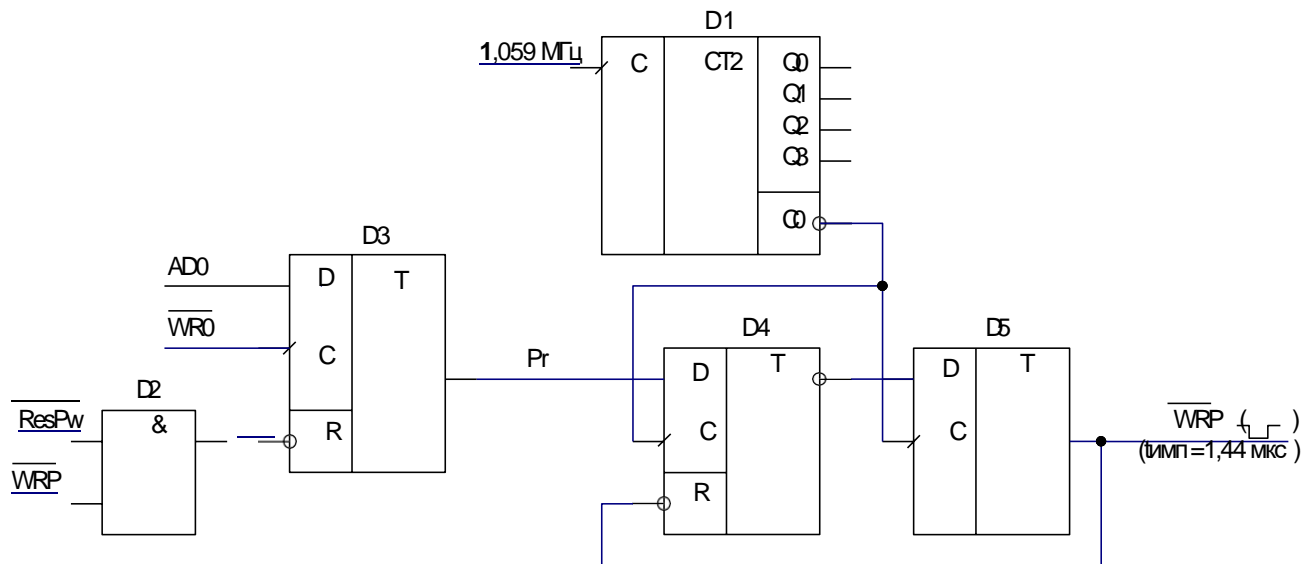


Рисунок 4.8 – Функциональная схема сброса МК по прерыванию

Схема содержит триггер прерывания D3 и формирователь сигнала сброса МК – "WRP", построенный на элементах D1, D4, D5.

Запись в триггер прерывания осуществляется программно с разряда "AD0" шины адреса-данных, по сигналу "WR0", как и в регистр страниц первой ступени ППЗУ.

Формирователь содержит четырехразрядный двоичный счетчик D1 и два триггера D4, D5.

Выходной сигнал формирователя "WRP" формируется по сигналу прерывания "Pr", в соответствии с временной диаграммой, приведенной на рисунке 4.98.

Последовательность импульсов, формирующих временную диаграмму, поступает с выхода переполнения счетчика – "C0". Период следования импульсов 1,44 мкс и длительность импульсов 90 нс определяются частотой импульсов, поступающих на счётный вход счетчика – 11,059 МГц.

При низком уровне сигнала "WRP" осуществляется сброс МК, по положительному фронту сигнала (по окончании его действия) выполняется запись кода страницы во вторую ступень регистра страниц ППЗУ, тем самым обеспечивается синхронизация команды сброса МК с установкой кода страницы

на соответствующих адресных входах ППЗУ. При смене страницы МК начинает работу с начального адреса программы, размещенной на данной странице.

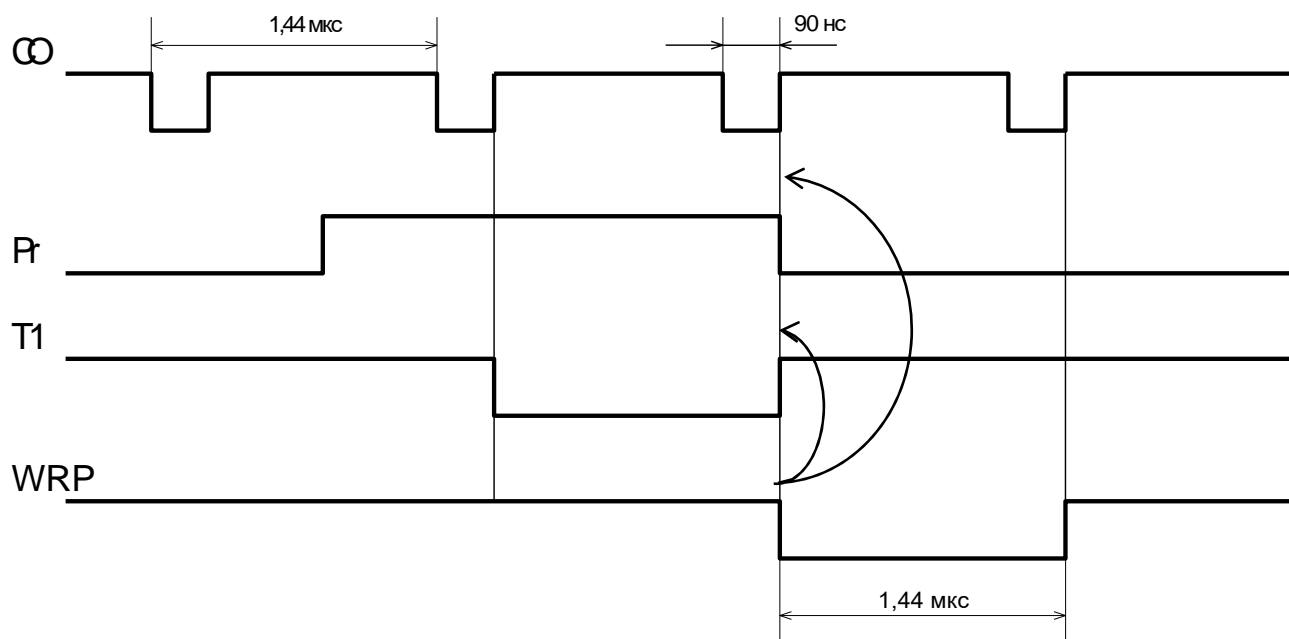


Рисунок 4.9 – Временная диаграмма формирования сигнала WRP

Разработка функциональной схемы узла интерфейса.

Разработка функциональной схемы узла интерфейса проводилась с учетом выполняемых функций, изложенных в п. 3.2.10.

Функциональная схема узла интерфейса приведена на рисунке 4.10.

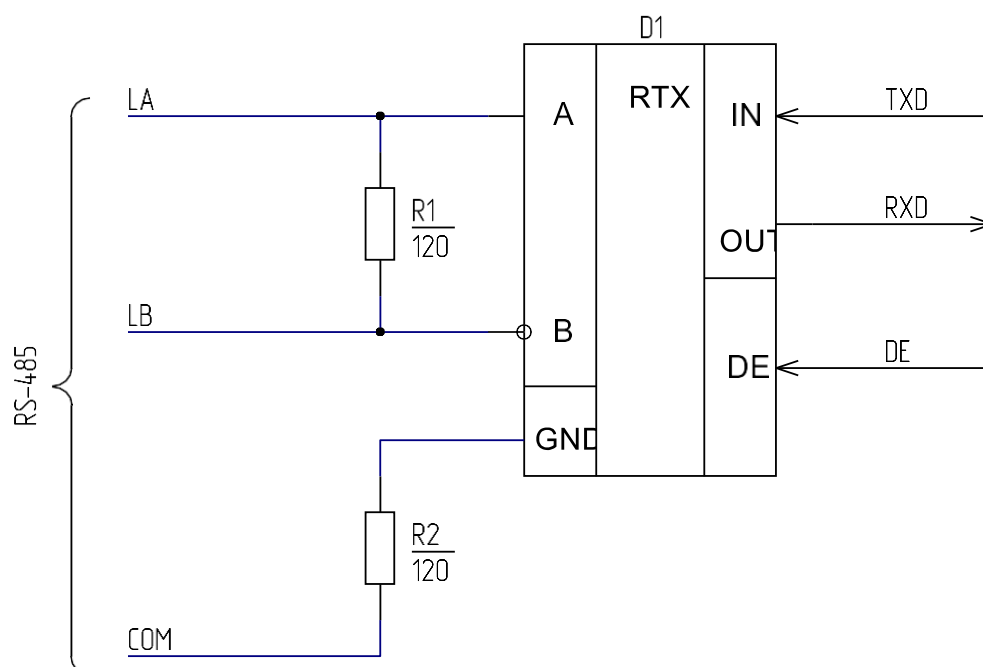


Рисунок 4.10 – Функциональная схема узла интерфейса

При разработке схемы электрической принципиальной узла интерфейса следует учитывать требования ТЗ по гальванической развязке между сигналами "LA", "LB", "COM" и сигналами "TXD", "RXD", "DE".

Сигналы "DE", "TXD" и "RXD" – сигналы уровня 5 В. Сигнал "DE" формируется микроконтроллером программно и определяет режим обмена – прием данных или передача данных. Сигналы "TXD" и "RXD", соответственно выходные и входные последовательные данные МК.

В соответствии со стандартом EIA-485 абоненты канала связи "RS-485" соединяются последовательно симметричными кабелями "витая пара в экране" с волновым сопротивлением 120 Ом, концы линии связи должны быть нагружены согласующими резисторами, величина которых равна волновому сопротивлению кабеля связи. Согласующие резисторы устанавливаются между линиями LA и LB.

Изм	Лист	№ докум.	Подпись	Дата

27.03.04.2018.303.00.00 ПЗ

Лист

44

УУИ, согласно ТЗ, является окончательным устройством канала связи "RS-485", в связи с чем между линиями LA и LB в узле интерфейса должен быть установлен резистор, значение сопротивления которого составляет 120 Ом.

Цепь "COM" является дренажным проводником в кабеле интерфейса "RS-485", который объединяет цепи "Общий" приемопередатчиков в канале "RS-485" и предназначен для выравнивания потенциалов в данных цепях каждого абонента. Для ограничения тока цепь "COM" подключается к цепи "GND1" приемопередатчика через резистор, значение сопротивления которого составляет 120 Ом.

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		45

Разработка функциональной схемы узла ВВИ

Разработка функциональной схемы узла ВВИ проводилась с учетом выполняемых функций узла и его состава, изложенных в п. 3.4.

Функциональная схема узла ВВИ должна быть разработана в соответствии со схемами, приведенными на рисунках 4.11 – 4.13.

На рисунке 4.11 приведена функциональная схема формирователя управляющих сигналов

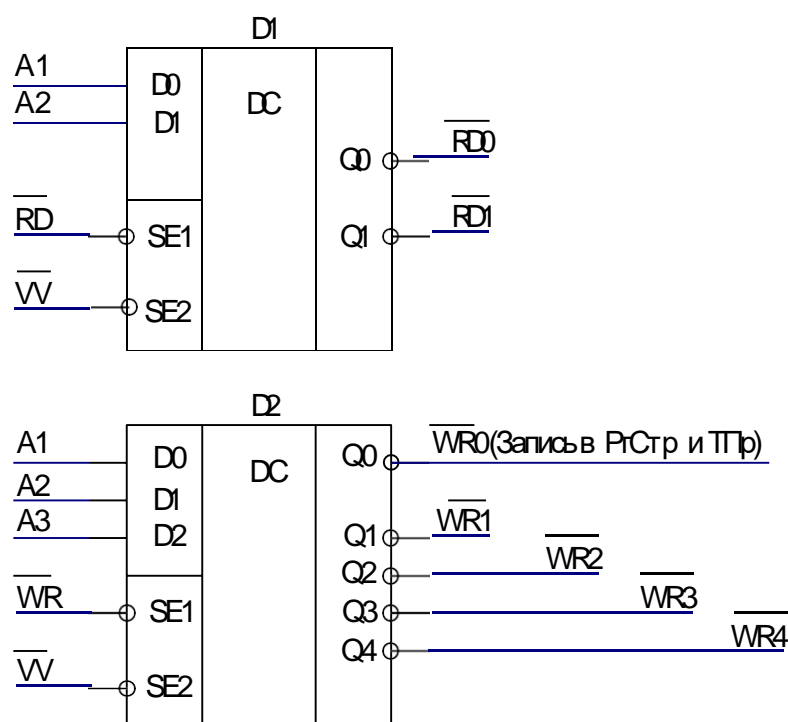


Рисунок 4.11 – Функциональная схема формирователя управляющих сигналов

Дешифратор D1, в соответствии с таблицей истинности, приведенной в таблице 4.2, формирует стробы чтения данных "RD0" и "RD1" из буферных элементов узла ВВИ.

Дешифратор D2, в соответствии с таблицей истинности, приведенной в таблице 4.3, формирует стробы записи данных "WR1" – "WR4" в регистры вывода данных узла ВВИ и строб записи в триггер прерывания узла МК – "WR0".

Таблица 4.2 – Таблица истинности дешифратора D1






Входы				Выходы	
A2	A1	VV	RD	RD0	RD1
X	X	1	1	1	1
X	X	1		1	1
0	0	0			1
0	1	0		1	

Таблица 4.3 – Таблица истинности дешифратора D2

Входы					Выходы				
A3	A2	A1	VV	WR	WR0	WR1	WR2	WR3	WR4
X	X	X	1	1	1	1	1	1	1
X	X	X	1		1	1	1	1	1
0	0	0	0			1	1	1	1
0	0	1	0		1		1	1	1
0	1	0	0		1	1		1	1
0	1	1	0		1	1	1		1
1	0	0	0		1	1	1	1	

На рисунке 4.12 приведена функциональная схема буферов ввода информации.

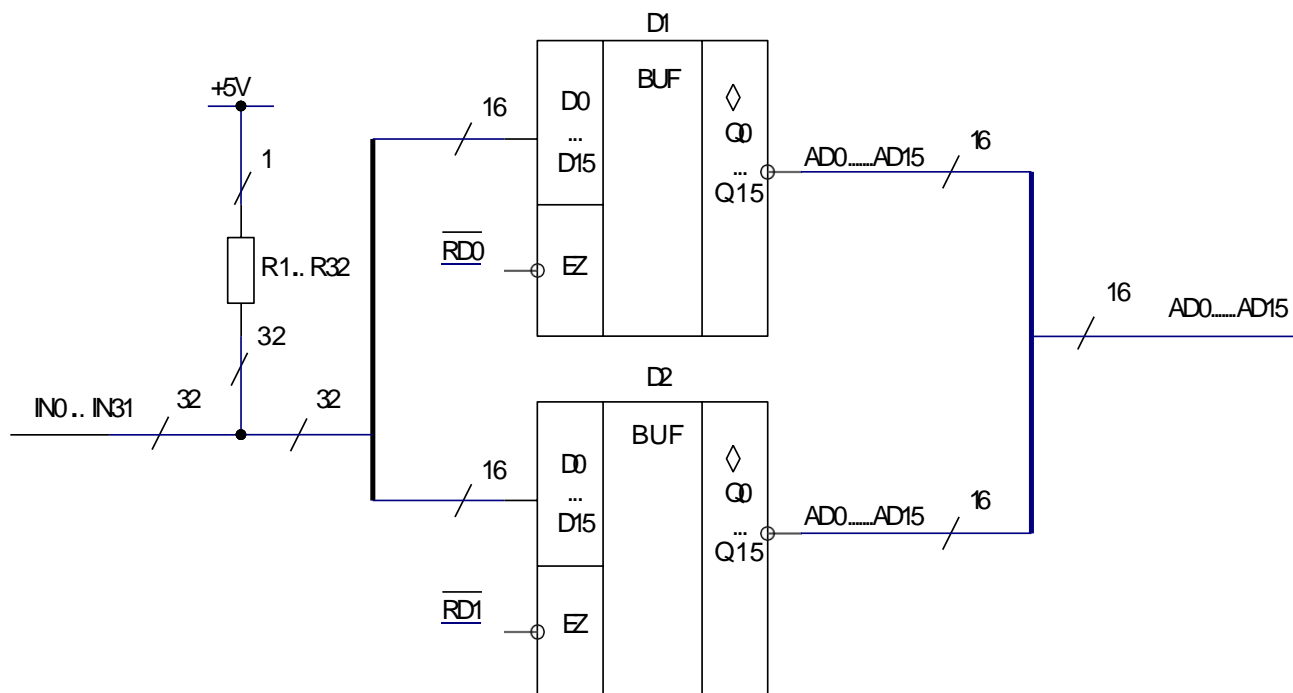


Рисунок 4.12 – Функциональная схема буферов ввода информации

Буферные элементы D1 и D2 с тремя состояниями на выходе при низком уровне сигналов "RD0" или "RD1" обеспечивают подключение соответствующих групп сигналов "IN1" – "IN16" или "IN17" – "IN32" к шине адреса-данных микроконтроллера в фазе данных машинного цикла МК.

Сигналы "IN1" – "IN32" поступают от переключателей и кнопок панели управления. Активное состояние сигнала – логический "0". Отсутствие сигнала – разрыв цепи, при этом на входе элементов D1 и D2 возможно неопределенное состояние, для исключения которого входы "IN1" – "IN32" через резисторы R1 – R32 подключены к цепи "+5В".

На рисунке 4.13 приведена функциональная схема регистров вывода информации.

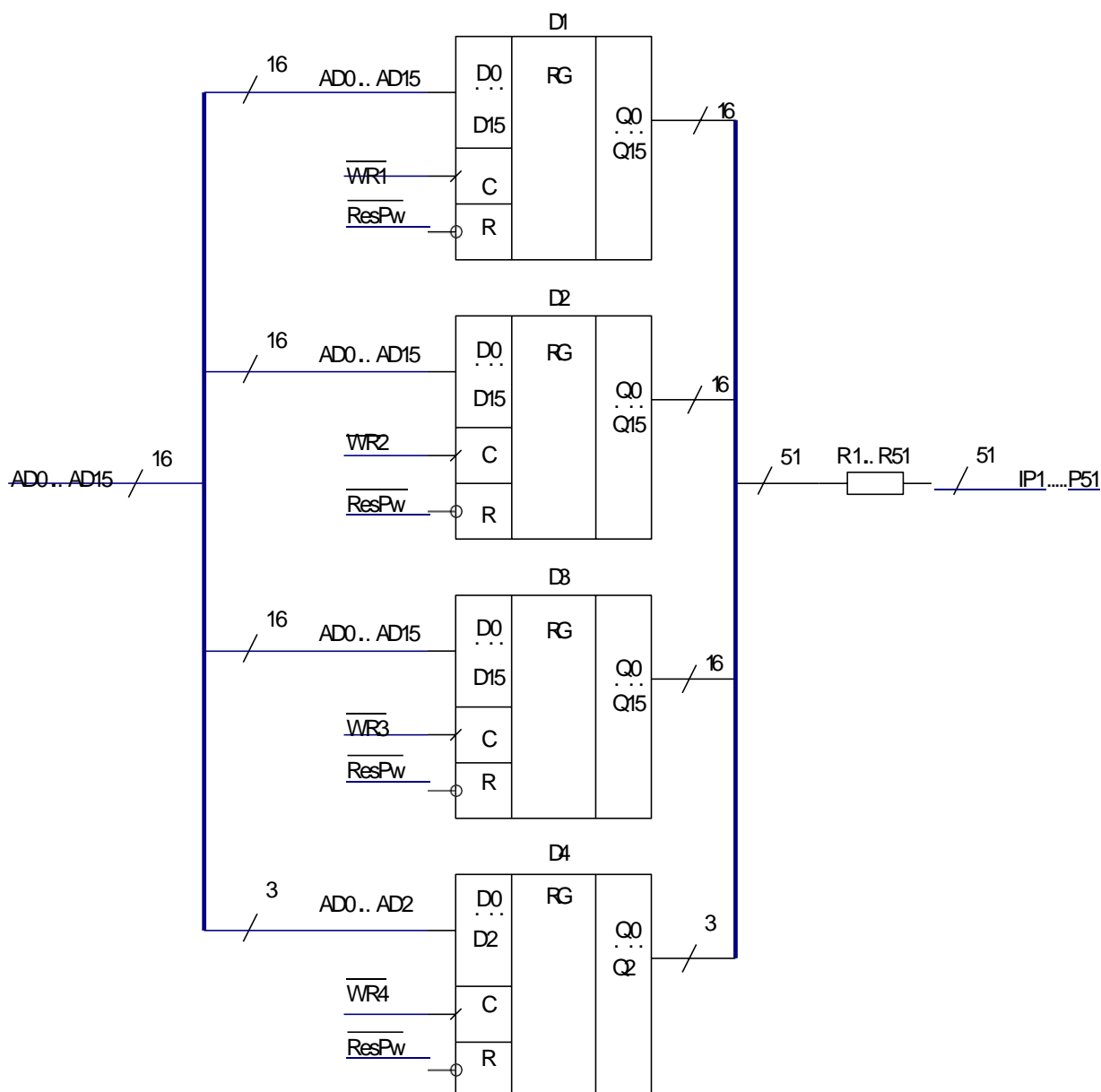


Рисунок 4.13 – Функциональная схема регистров вывода информации

Регистры D1 – D4 обеспечивают запись данных с шины адреса-данных микроконтроллера по положительному фронту соответствующих сигналов "WR1" – "WR4" и выдачу управляющих сигналов "IP1" – "IP51" на индикаторы панели индикации. Сигналом "ResPw" осуществляется сброс регистров при включении питания УУИ.

4.9.11 Резисторы R1 – R51 должны обеспечивать величину тока, достаточного для включения индикатора. Индикаторы включаются при высоком уровне сигнала на выходах регистров.

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		50

Разработка функциональной схемы панели индикации

Функциональная схема панели индикации разработана в соответствии с требованиями ТЗ и требованиями подраздела 3.1 настоящей ПЗ.

Функциональная схема панели индикации приведена на рисунке 4.14.

Элементы HL1 – HL6 представляют собой семисегментные индикаторы, размещенные на панели индикации в поле "Данные". В поле индикаторы

HL1 – HL6 размещены, соответственно, справа налево. Обозначение сегментов индикатора приведено на рисунке 4.15.

Элементы VD1 – VD3 представляют собой единичные индикаторы, размещенные на панели индикации в поле "Проверка ОК".

Включение индикаторов осуществляется управляющими сигналами IP1 – IP51, формируемых соответствующими регистрами, приведенными на рисунке 4.12.

В таблице 4.4 приведены адрес регистра в адресном пространстве ввода-вывода микроконтроллера, позиционные обозначения регистра на рисунке 4.12 и выходы регистров, управляющих сегментами индикаторов HL1 – HL6 и индикаторами VD1 – VD3.

Таблица 4.4 – Таблица соответствия выходов регистров и индикаторов

Адрес регистра, Нех	Обозначение регистра	Выходы регистра	Обозначение индикатора
FC02	D1	Q0 – Q7	HL1
		Q8 – Q15	HL2
FC04	D2	Q0 – Q7	HL3
		Q8 – Q15	HL4
FC06	D3	Q0 – Q7	HL5
		Q8 – Q15	HL6
FC08	D4	Q0	VD1
		Q1	VD2

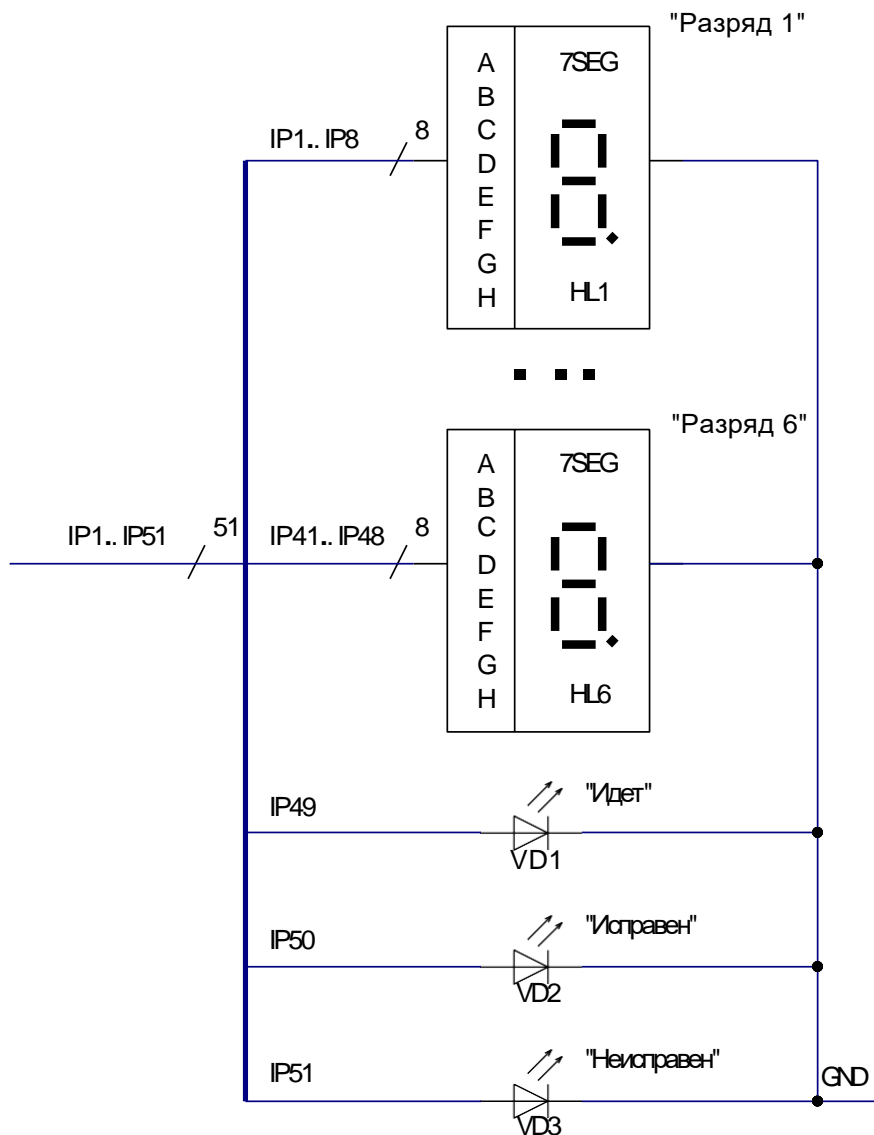


Рисунок 4.14 – Функциональная схема панели индикации

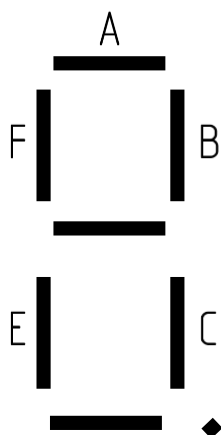


Рисунок 4.115 – Обозначение сегментов индикатора

4.10.7 Учитывая однотипное подключение выходов регистров к двум семисегментным индикаторам, в таблице 4.5 приведено распределение сегментов индикатора по выходам регистров Q0 – Q7, Q8 – Q15.

Таблица 4.5 – Таблица распределения сегментов индикатора по выходам регистров

Выходы регистра	Обозначение сегмента индикатора
Q0, Q8	A
Q1, Q9	B
Q2, Q10	C
Q3, Q11	D
Q4, Q12	E
Q5, Q13	F
Q6, Q14	G
Q7, Q15	H

Разработка функциональной схемы панели управления

Функциональная схема панели управления разработана в соответствии с требованиями ТЗ и требованиями подраздела 3.1 настоящей ПЗ и приведена на рисунке 4.16.

Цепи IN0 – IN31 связаны с входами буферных элементов D1 и D2, приведенных на рисунке 4.11, которые обеспечивают подключение данных цепей к шине адреса-данных микроконтроллера.

Цепи IN0 – IN15 поступают соответственно на входы D0 – D15 буферного элемента D1, цепи IN16 – IN31 поступают соответственно на входы D0 – D15 буферного элемента D2. Адрес буферного элемента D1 в адресном пространстве ввода-вывода микроконтроллера – FC00h, адрес буферного элемента D2 – FC02h.

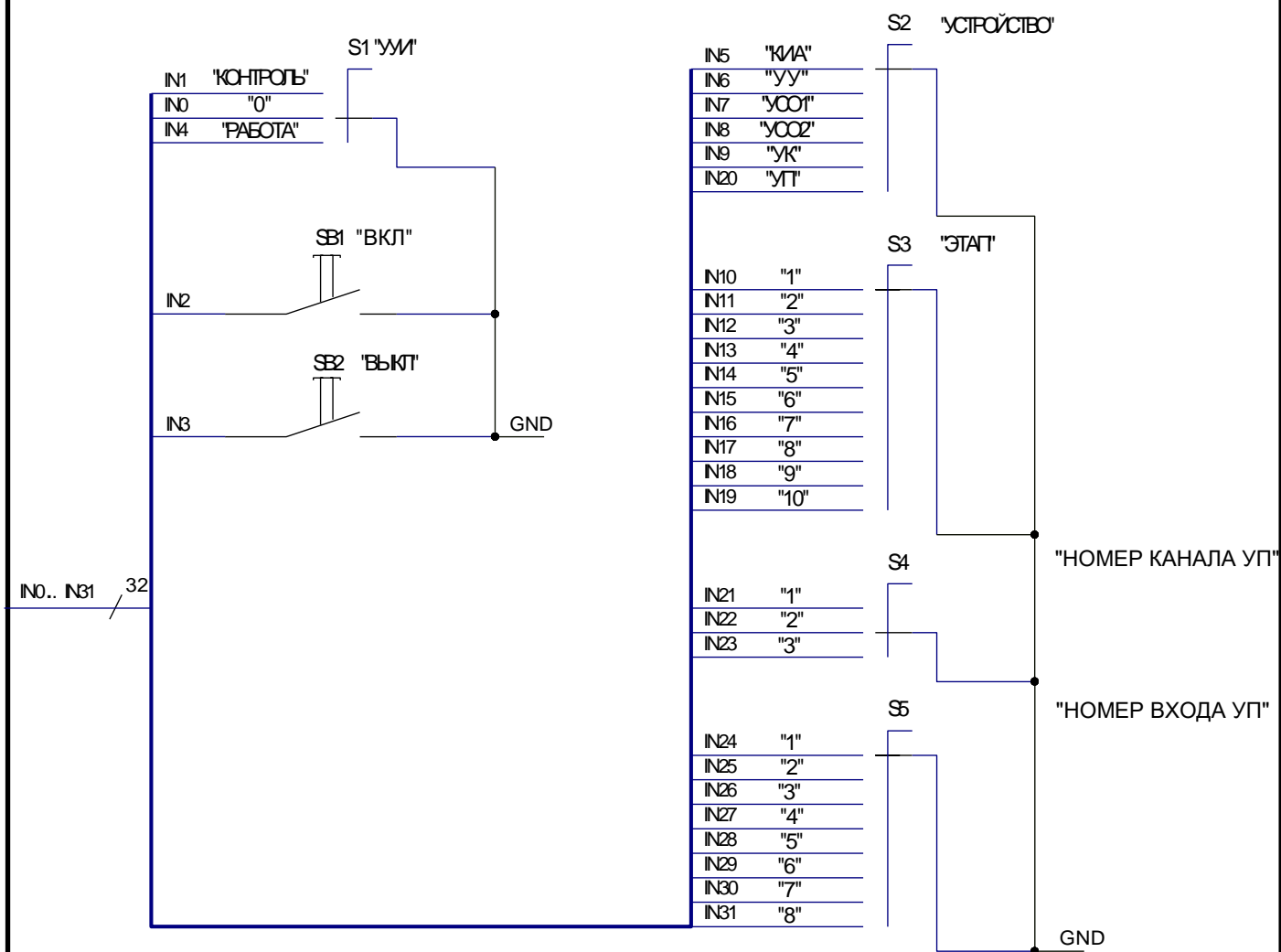


Рисунок 4.16 – Функциональная схема панели управления

4.11.4 Наименования переключателей S1 – S5 и их положений, а также кнопок SB1 и SB2 соответствуют требованиям по маркировке органов управления на панели управления, приведенным на рисунке 3.1.

Функциональная схема УУИ

Функциональная схема УУИ представлена в приложении И настоящей пояснительной записки.

На функциональной схеме приведены следующие узлы:

- узел преобразователя напряжения (ПН), обеспечивающий электропитание узлов УУИ напряжениями постоянного тока уровня 5 В и 3,3 В;
- узел сброса по питанию (СбрПит), обеспечивающий формирование низкого уровня сигнала "ResPw" на время установления напряжения питания 5 В после подачи входного напряжения уровня 27 В на узел ПН, при этом микроконтроллер находится в состоянии сброса;
- узел МК, обеспечивающий хранение программы функционирования УУИ и выполнение функций контроля и управления при выполнении проверок выбранных устройств в соответствии с данной программой;
- узел ввода-вывода информации (ВВИ), обеспечивающий ввод в узел МК управляющих сигналов, поступающих от органов управления панели управления и вывод из узла МК сигналов управления индикаторами, размещенными на панели индикации;
- узел ИНТ, обеспечивающий электрическое сопряжение последовательного порта МК с последовательным интерфейсным каналом связи "RS-485";
- панель управления, содержащая органы управления УУИ – кнопки и переключатели, обеспечивающих выбор и запуск программ проверок устройств.;
- панель индикации, содержащая индикаторы, обеспечивающие отображения информации о ходе выполнения проверок и результатов проверок.

Изм	Лист	№ докум.	Подпись	Дата
-----	------	----------	---------	------

27.03.04.2018.303.00.00 ПЗ

Лист

55

На схемах панелей управления и индикации условно показаны принципы формирования команд управления и включения индикаторов.

После включения УУИ и установления напряжения питания 5 В регистр страниц обнулён, микроконтроллер выходит из состояния сброса и начинает функционирование с адреса 2080h нулевой страницы памяти программ.

Высокий уровень сигнала "IR", поступающего из внешнего устройства, переводит микроконтроллер в состояние сброса и разрешает перепрограммирование ППЗУ памяти программ.

Выводы по разделу 4

В разделе 4 проведена разработка функциональной схемы УУИ с учетом состава узлов устройства и их взаимодействия, определенных структурной схемой УУИ и требованиями технического задания.

5 РАЗРАБОТКА СХЕМ ЭЛЕКТРИЧЕСКИХ ПРИНЦИПИАЛЬНЫХ УУИ

Техническая реализация УУИ в заданном конструктиве

В соответствии с ТЗ конструкция УУИ должна быть реализована с использованием трех сборочных единиц – плата процессора, панель индикации и панель управления и внешних соединителей (вилки), размещенных на корпусе устройства. Кабельные соединения между сборочными единицами и соединителями должны быть представлены на схеме электрической соединений УУИ.

В соответствии с функциональной схемой количество цепей:

- между платой процессора и панелью индикации – 51 шт.;
- между платой процессора и панелью управления – 32 шт.;
- между платой процессора и внешними соединителями – 7 шт.

Согласно ТЗ также требуется обеспечить подключение платы процессора к внешнему устройству для перепрограммирования ППЗУ программ в составе платы.

Сократить в два раза количество цепей между платой процессора и панелью индикации можно за счёт переноса регистров управления индикаторами из узла ВВИ на панель индикации. При этом на плату индикации необходимо ввести цепи "AD0" – "AD15", "WR1" – "WR4" и "ResPw", а также цепи "+5V" и "GND". Панель индикации в дальнейшем будет называться платой индикации.

Наиболее подходящими соединителями с малыми габаритными размерами и допускающими монтаж на печатной плате являются соединители типа ОНП-ЖИ-8 – соединители низкочастотные прямоугольные миниатюрные с винтовой фиксацией сочлененного положения, соединители поставляются с количеством контактов 21, 42, 52 и 76. [19]

В УУИ будут использованы 42-контактные соединители типа ОНП-ЖИ-8. На платах будут установлены розетки ОНП-ЖИ-8-42/46*8-Р29-1-Ф4-К. Габаритные размеры розетки – (46x8) мм. Устанавливаться розетки на платах процессора и индикации будут вертикально.

Учитывая размеры платы процессора (233,5x160) мм, на плате возможна установка не более трех соединителей ОНП-ЖИ.

Учитывая, что на соединитель платы процессора, обеспечивающий связь с панелью индикации, выведены цепи "AD0" – "AD15", то для обеспечения подключения платы процессора к внешнему устройству для перепрограммирования ППЗУ, на данный соединитель необходимо вывести также цепи "IR", "IALE", "IWR" и "IRD".

Таким образом, на плате процессора будут размещены элементы узлов преобразователя напряжения, сброса по питанию, микроконтроллера, интерфейса и часть элементов узла ВВИ. Три соединителя ОНП-ЖИ-8 обеспечат связь с внешними соединителями, платой индикации и панелью управления, а также с внешним устройством для перепрограммирования ППЗУ.

На плате индикации будут размещены регистры управления индикаторами, токозадающие резисторы, индикаторы и соединитель типа ОНП-ЖИ-8, для связи с платой процессора.

На панели управления будут установлены поворотные и кнопочные переключатели. Цепи между выводами переключателей и выводами соединителя ОНП-ЖИ-8 должны быть выполнены навесным монтажом.

В качестве внешних соединителей, согласно ТЗ, будут применены:

- X1 – вилка СНЦ282-7/18ВП11;
- X2 – вилка СНЦ282-10/18ВП11.

Схемы электрические принципиальные кабелей К1 и К2 представлены в приложениях К и Л настоящей ПЗ.

Выбор элементной базы

Выбор серий цифровых интегральных микросхем

В УУИ будут применены микросхемы серий 1554ТБМ (БМ – код предприятия-изготовителя) и 5584АТ. Микросхемы включены в "Перечень ЭКБ" редакции 2017 года.

Микросхемы серии 1554 отличаются высокой нагрузочной способностью – выходной ток при высоком и низком логическом уровне на выходе до 24 мА.

Средняя задержка распространения сигнала для разных типов микросхем составляет от 7 до 18 нс, длительность фронта и спада не более 15 нс.

Характеристики микросхем серии 1554ТБМ [10]:

– температура окружающей среды, °С	минус 60...плюс 125;
– давление окружающей среды, мм рт. ст	10^{-6} ...2210;
– относительная влажность	98 % при 35°С;
– гарантийная наработка, тыс. ч	100;
– срок сохраняемости, лет	25;
– диапазон напряжения питания, В	2...6;
– ток потребления (в зависимости от типа микросхемы), мкА	4...8;
– ток вывода питания или общего вывода, мА	100;
– параметры входных сигналов для $V_{cc}=5 \pm 0,5$ В:	
а) напряжение низкого уровня, В	< 1,6;
б) напряжение высокого уровня, В	> 3,2;
в) входной ток низкого уровня, мкА	0,1;
г) входной ток высокого уровня, мкА	0,1;
д) входная ёмкость, пФ	4,5;
– параметры выходных сигналов для $V_{cc}=5 \pm 0,5$ В:	
а) напряжение низкого уровня, В	< 0,36;
б) напряжение высокого уровня, В	> 3,94;

Изм	Лист	№ докум.	Подпись	Дата
-----	------	----------	---------	------

27.03.04.2018.303.00.00 ПЗ

Лист

59

- в) выходной ток низкого уровня, мА 24;
- г) выходной ток высокого уровня, мА 24;
- д) ёмкость нагрузки, пФ 50.

Нагрузочная способность микросхем серии 5584 ниже, чем у микросхем 1554, значение выходного тока не превышает 12 мА. Средняя задержка распространения сигнала для разных типов микросхем составляет от 9 до 13 нс, длительность фронта и спада не более 15 нс. Применение блока формирования выходного фронта в составе микросхемы позволяет уменьшить амплитуду помех при одновременном переключении выходов в одно и то же состояние.

Характеристики микросхем серии 5584АТ [11]:

- температура окружающей среды, °С минус 60...плюс125;
- давление окружающей среды, мм рт. ст 10⁻⁶...2210;
- относительная влажность 98 % при 35°С;
- гарантийная наработка, тыс. ч 120;
- срок сохраняемости, лет 25;
- диапазон напряжения питания, В 2...5,5;
- ток потребления (в зависимости от типа микросхемы), мкА 2...4;
- параметры входных сигналов для V_{cc}=5 ± 0,5 В:
 - а) напряжение низкого уровня, В < 1,65;
 - б) напряжение высокого уровня, В > 3,15;
 - в) входной ток низкого уровня, мкА 0,2;
 - г) входной ток высокого уровня, мкА 0,2;
 - д) входная ёмкость, пФ 6;
- параметры выходных сигналов для V_{cc}=5 ± 0,5 В:
 - а) напряжение низкого уровня, В < 0,36;
 - б) напряжение высокого уровня, В > 3,94;
 - в) выходной ток низкого уровня, мА 12;
 - г) выходной ток высокого уровня, мА 12;

5.2.1.7 При разработке схемы электрической принципиальной необходимо учитывать следующие требования:

- на микросхемы серий 1554 электропитание должно подаваться раньше или одновременно с подачей входных сигналов. Это связано с тем, что во входных цепях микросхем стоят защитные диоды, соединенные с шиной питания, и в случае появления напряжения на входе (при отсутствии питания) возможно протекание тока по цепи "вход" – "шина питания", что недопустимо;
- порядок подачи и снятия напряжений питания и входных сигналов на микросхемы серии 5584 не регламентируется;
- нежелательна подача на входы микросхем серий 1554 и 5584 сигналов, длительность фронта и спада которых превышает значения, допустимые для данных серий, так как при этом могут возникнуть на выходе многократные переключения (дребезг), а также возрастает потребляемый ток;
- свободные входы микросхем должны быть соединены с одной из шин питания;
- рекомендуется вывод "Питание" соединять с выводом "Общий" через конденсатор ёмкостью $0,1 \text{ мкФ} \pm 10\%$ для подавления помех, возникающих при переключении выходов из одного состояния в другое.

В качестве базовой серии микросхем будет использована серия 5584, так как микросхемы данной серии при переключениях создают в цепях питания помехи меньшей амплитуды.

Микросхемы серии 1554 будут использоваться для сопряжения с элементами, ток управления которыми более 10 мА.

Выбор конденсаторов

В УУИ конденсаторы применяются для подавления помех в цепях электропитания.

В УУИ применены конденсаторы с категорией качества "ВП" типа К53-67 и К10-79, включенные в "Перечень ЭКБ" редакции 2017 года. Конденсаторы предназначены для поверхностного монтажа на печатной плате.

Танталовые оксидно-полупроводниковые конденсаторы типа К53-67 будут применены для подавления низкочастотных помех в цепях питания. Керамические конденсаторы типа К10-79 будут применены для подавления высокочастотных помех в цепях питания и в фильтрах.

5.2.2.3 Характеристики конденсаторов К53-67 [12]:

– температура окружающей среды, °С	минус 60...плюс 125;
– атмосферное давление, мм рт. ст	10 ⁻⁶ ...2207;
– повышенная относительная влажность воздуха при температуре 35°С, %	98;
– гарантийная наработка при температуре минус 60...+55°С и напряжении 0,6·Uном, ч	150000;
– срок сохраняемости, лет	25;
– номинальное напряжение, В	4...50;
– номинальная ёмкость, мкФ	0,1...680;
– допускаемое отклонение ёмкости, %	± 10, ±2 0.

5.2.2.4 Характеристики конденсаторов К10-79[13]:

– группа по ТКЕ	МП0, Н30, Н90;
– атмосферное давление, мм рт. ст	10 ⁻⁶ ...2207;
– повышенная относительная влажность воздуха при температуре 25°С, %	80;
– гарантийная наработка при температуре минус 60...+60 °С и напряжении 0,6·Uном, ч	150000;
– срок сохраняемости, лет	25;
– характеристики для конденсаторов группы МП0:	
а) температура окружающей среды, °С	минус 60...плюс 125;
б) номинальная ёмкость	0,47 пФ...0,33 мкФ;
в) допускаемое отклонение ёмкости для C >10 пФ, %	± 5, ± 10, ± 20;
г) ряд ёмкостей	E24;

д) номинальные напряжения, В	16, 50, 100, 250, 500;
е) изменение ёмкости в интервале рабочих температур, %	± 5.
– характеристики для конденсаторов группы Н30:	
а) температура окружающей среды, °С	минус 60... плюс 85;
б) номинальная ёмкость	1000 пФ...4,7 мкФ;
в) допустимое отклонение ёмкости, %	± 20, + 50/–20;
г) ряд ёмкостей	Е6;
д) номинальные напряжения, В	10, 25, 50, 100, 250, 500;
е) изменение ёмкости в интервале рабочих температур, %	± 30.
– характеристики для конденсаторов группы Н90:	
а) температура окружающей среды, °С	минус 60...плюс 85;
б) номинальная ёмкость	0,01 мкФ...100 мкФ;
в) допустимое отклонение ёмкости, %	+80/–20;
г) ряд ёмкостей	Е6;
д) номинальные напряжения, В	10, 25, 50;
е) изменение ёмкости в интервале рабочих температур, %	± 90.

Для подавления низкочастотных помех в цепях питания "5 В" модуля КСУ выбран конденсатор К53-67-16В-10мкФ±10%.

Для подавления высокочастотных помех в цепях питания "5 В" модуля КСУ выбран конденсатор К10-79-25В-0,1мкФ±20%-Н30.

5.2.3 Выбор резисторов

5.2.3.1 В УУИ будут применены резисторы постоянные непроволочные с категорией качества "ВП" типа С2-33Н, которые включены в "Перечень ЭКБ" редакции 2017 года и имеют следующие характеристики [14]:

– температура окружающей среды, °С	минус 60...плюс 155;
------------------------------------	----------------------

- давление окружающей среды, мм рт. ст. $10^{-6} \dots 2210$;
- относительная влажность 98% при 35°C;
- гарантийная наработка при температуре $\leq 50^{\circ}\text{C}$ и $P \leq 0,5 P_{\text{ном}}$, ч 100000;
- срок сохраняемости, лет 25;
- номинальные сопротивления резисторов и допускаемые отклонения приведены в таблице 6.2. Промежуточные значения сопротивлений по ряду E96 – для допускаемых отклонений ± 1 и $\pm 2\%$, по ряду E24 – для допускаемых отклонений ± 5 и $\pm 10\%$;
- температурный коэффициент сопротивления (ТКС) приведен в таблице 6.3;
- изменение сопротивления в течение наработки, в зависимости от типа резистора, номинального сопротивления и допускаемого отклонения, % $\pm 2, \pm 4, \pm 5, \pm 10$;
- изменение сопротивления в течение срока сохраняемости, в зависимости от номинального сопротивления и допускаемого отклонения, % $\pm 0,7, \pm 1, \pm 1,5, \pm 3, \pm 8$.

Таблица 5.1 – Значения номинальных сопротивлений резисторов С2-33Н и допускаемых отклонений

Тип резистора	Номинальное сопротивление, Ом	Допускаемое отклонение, %
С2-33Н-0,125	от 1 до 10	$\pm 5, \pm 10$
	от 10 до $3,01 \times 10^6$	$\pm 1, \pm 2, \pm 5, \pm 10$
С2-33Н-0,25	от 1 до 10	$\pm 5, \pm 10$
	от 10 до $5,11 \times 10^6$	$\pm 1, \pm 2, \pm 5, \pm 10$
С2-33Н-0,5	от 0,1 до 10	$\pm 5, \pm 10$
	от 10 до $5,11 \times 10^6$	$\pm 1, \pm 2, \pm 5, \pm 10$
С2-33Н-1,0 С2-33Н-2,0	от 1 до 10	$\pm 5, \pm 10$
	от 10 до 10×10^6	$\pm 1, \pm 2, \pm 5, \pm 10$

Таблица 5.2 – Значения ТКС для резисторов С2-33Н

Группа по ТКС	Номинальные сопротивления, Ом	Допускаемое отклонение, %	ТКС $\times 10^{-6}$ 1/°С не более, в интервале температур	
			от 20°С до 155°С	от минус 60°С до 20°С
В	от 10 до 237 $\times 10^3$	±1, ±2	±100	±300
Г	от 10,2 до 10 $\times 10^6$	±1, ±2	±250	±500
Д	от 1 до 10 $\times 10^6$	±5, ±10	±500	±500
Ж	от 11 до 22 $\times 10^6$	±5, ±10	±1000	±1000

Техническая реализация платы процессора

Техническая реализация узла ПН

Электрическая схема узла ПН реализована в соответствии с функциональной схемой, приведенной на рисунке 4.3.

В качестве источника питания постоянного тока уровня 5 В применен модуль питания СПН 27-10-05-1.

Для электропитания микросхем микроконтроллера и ППЗУ требуется напряжение питания уровня 3,3 В, для чего в узле ПН будет применен стабилизатор 1309ЕН3.3Т АЕЯР.431420.668 ТУ. Стабилизатор напряжения фиксированной положительной полярности с номинальным выходным напряжением 3,3 В и выходным током 2 А включен в "Перечень ЭКБ 02 -2017" (часть 2 – микросхемы интегральные). Изготавливается с категорией качества "ВП", срок службы 25 лет.

Техническая реализация узла СбрПит

Электрическая схема узла СбрПит реализована в соответствии с функциональной схемой, приведенной на рисунке 4.4.

Узел СбрПит построен на базе детектора понижения напряжения 1230ДП46Т.

В качестве триггера Шмитта будут применены микросхемы 5584ТЛ2Т.

RC-цепь должна на 30 – 40 мс задержать установку выхода детектора в состояние логической "1". Заданная длительность задержки будет реализована за счет применения резистора R1 с номинальным значением сопротивления 4,7 кОм и конденсатора С1 с номинальным значением ёмкости 2,2 мкФ.

Техническая реализация узла МК

Электрическая схема узла микроконтроллера в реализована в соответствии с функциональными схемами, приведенными на рисунках 4.5 – 4.8.

В качестве микроконтроллера применена однокристальная 16-разрядная ОЭВМ без ПЗУ – микросхема 1874BE05T, задающий генератор тактовой частоты микроконтроллера реализован на кварцевом генераторе ГК108-П-15ГР с номинальной частотой 11,059 МГц.

Коммутатор управляющих сигналов D7 в схеме, приведенной на рисунке 4.1, будет реализован на микросхеме 5584КП11Т – четыре селектора-мультиплексора 2-1.

Регистр фиксации адреса будет построен на двух микросхемах 5584ИР33Т – восьмиразрядный регистр, управляемый по уровню с параллельным вводом-выводом данных.

ППЗУ реализовано на базе двух микросхем электрически стираемого и перепрограммируемого постоянного запоминающего устройства Flash-типа 1636PP1AY. В качестве регистров страниц ППЗУ первой и второй ступени (элементы D1 и D2 на схеме 4.6) будут применены микросхемы 5584ТМ9Т – шесть D-триггеров с общими входами управления и сброса.

Функциональная схема сброса МК по прерыванию будет выполнена на базе микросхем 5584ИЕ7Т (4-разрядный двоичный реверсивный счетчик) и 5584ТМ2Т (два D-триггера с входами управления, установки и сброса).

Техническая реализация узла интерфейса

Электрическая схема узла интерфейса должна быть реализована в соответствии с функциональной схемой, приведенной на рисунке 4.10.

Согласно ТЗ должна быть обеспечена гальваническая развязка приемопередатчика интерфейса "RS-485" с электропитанием элементов УУИ.

Данному условию удовлетворяют две микросхемы, включенные в

"Перечень ЭКБ" редакции 2017 г.:

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		67

- микросборка приемопередатчика по стандарту "RS-485" с гальванической развязкой – 2011ВВ024;
- микросборка 2601ИН1П – приемопередатчик с гальванической развязкой для реализации интерфейса "RS-485" со скоростью передачи данных 2,5 Мбит/с.[6]

В отличие от микросборки 2601ИН1П микросборка 2011ВВ024 имеет значительно меньшие габаритные размеры, но существенным недостатком для применения её в составе УУИ является необходимость использования двух источников питания, обеспечивающих гальваническую развязку.

Микросборка 2601ИН1П, обеспечивает гальваническую развязку за счет внутреннего преобразователя напряжения, формирующего напряжение постоянного тока уровня 5 В для приемопередатчика "RS-485".

Структурная схема микросборки приведена на рисунке 5.1. В таблице 5.1 приведено назначение выводов микросборки.

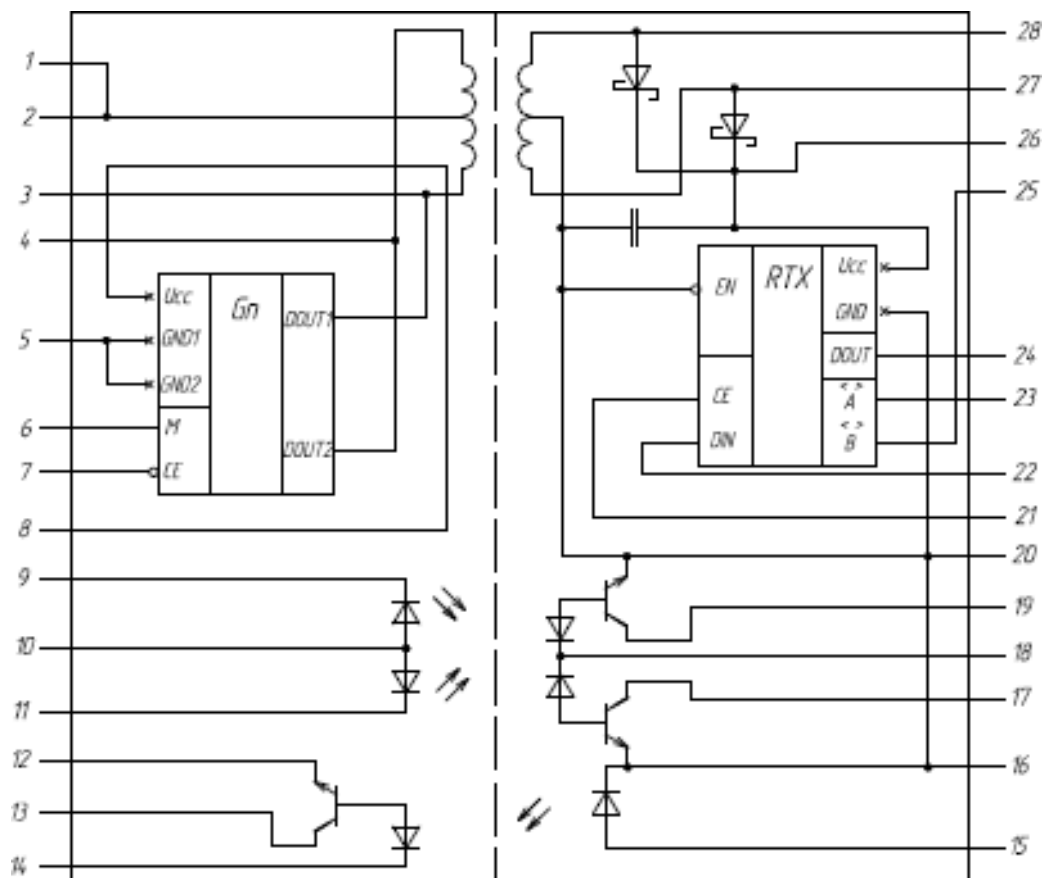


Рисунок 5.1 – Структурная схема микросборки 2601ИН1П

Таблица 5.3 – Назначение выводов микросборки 2601ИН1П

№ вывода	Наим. вывода	Функциональное назначение
1, 2, 8, 10, 14	Ucc1	Питание логики
3, 4, 27, 28		Контрольные выводы
5, 12	GND1	Общая шина логики
6	M	Вход выбора частоты
7	CE1	Вход выключения
9		Катод светодиода оптопары входа передатчика
11		Катод светодиода оптопары разрешения передатчика
13		Коллектор транзистора оптопары выхода приемника
15		Анод светодиода выхода приемника линии
16, 20	GND2	Общая шина линии
17		Коллектор транзистора оптопары разрешения приемника
18, 26	Ucc2	Питание приемопередатчика
19		Коллектор транзистора оптопары входа передатчика
21	CE2	Вход разрешения передатчика линии
22	DIN	Вход передатчика линии
23	A	Выход передатчика, вход приемника А
24	DOUT	Выход приемника линии
25	B	Выход передатчика, вход приемника В

5.3.7.1 Электрические параметры микросборки 2601ИН1П:

- напряжение питания, В 4,5 ... 5,5;
- входное напряжение низкого уровня, В минус 0,3 ... 0,8;
- входное напряжение высокого уровня, В 2,4;

– напряжение, подаваемое на вход, В	минус 7 ... 12;
– входной ток оптопары, мА	15 ... 25;
– емкость нагрузки, пф	не более 100;
– выходное напряжение низкого уровня, В	не более 0,4;
– выходное напряжение высокого уровня, В	не менее 3,5;
– ток потребления, мА	120 ... 200;

Техническая реализация узла ВВИ

Техническая реализация узла ВВИ будет выполнена с учетом исключения регистров управления индикаторами из состава данного узла.

Электрическая схема формирователя управляющих сигналов реализована в соответствии с функциональной схемой, приведенной на рисунке 4.11.

В качестве дешифраторов D1 и D2 будут применены микросхемы 5584ИД7Т (дешифратор-демультиплексор 3-8 с инверсией на выходе).

Электрическая схема буферов ввода информации реализована в соответствии с функциональной схемой, приведенной на рисунке 4.12.

В качестве буферных элементов D1 и D2 будут применены четыре микросхемы 5584АП3Т (два 4-канальных формирователя с тремя состояниями и инверсией на выходе).

Техническая реализация платы индикации

Электрическая схема платы индикации будет реализована в соответствии с функциональной схемой регистров вывода информации, приведенной на рисунке 4.13, функциональной схемой панели индикации, приведенной на рисунке 4.14 и требований по сопряжению выходов регистров с индикаторами, приведенными в подразделе 4.10.

Регистры вывода информации будут построены на семи микросхемах 1554ИР35ТБМ – восьмиразрядный регистр, управляемый по фронту с параллельным вводом-выводом данных и входом сброса. Обеспечивает выходной ток до 24 мА.

В качестве семисегментных индикаторов будут применены знакосинтезирующие индикаторы ИПЦ52А9-1/7Л АЕЯР.432220.699 ТУ, цвет свечения зеленый. Заданная в ТУ сила света элемента обеспечивается величиной тока через элемент – 10 мА. Постоянное прямое напряжение светодиода ($U_{пр}$), типовое, при токе $I_{пр}=10$ мА составляет 3,0 В.[23]

В качестве единичных индикаторов "Идет" и "Исправен" будут применены индикаторы зеленого цвета свечения 3Л336И-Л/ПО АЕЯР.432220.332 ТУ, в качестве индикатора "Неисправен" – индикатор красного цвета свечения 3Л336К-К/ПО АЕЯР.432220.332 ТУ. Заданная в ТУ сила света элемента обеспечивается величиной тока через элемент – 10 мА. Постоянное прямое напряжение светодиода ($U_{пр}$), типовое, при токе $I_{пр}=10$ мА составляет:

- для 3Л336И-Л/ПО – 2,0 В;
- для 3Л336К-К/ПО – 1,7 В. [xx]

В качестве токозадающих резисторов R1 – R48, приведенных на рисунке 4.12, будут применены наборы из восьми резисторов типа НР1-1Р-8 ШКАБ.434110.016 ТУ, имеющие малые габаритные размеры. В качестве резисторов R49 – R51 будут применены резисторы типа С2-33Н.

Значение сопротивления токозадающих будет рассчитано из условия обеспечения тока светодиода $I_{пр} = 10$ мА при следующих условиях:

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		71

- номинальное значение напряжения питания $U_{п ном}=5В$;
- выходное напряжение высокого уровня микросхемы 1554ИР35 при $U_{п ном}$ составляет 4,55 В; [xx]
- значение $U_{пр тип}$ – типовое.

Значение сопротивления токозадающего резистора вычисляется по формуле

$$R = \frac{U_{OL} - U_{пр тип}}{I_{пр}}, \quad (5.1)$$

Значение сопротивления токозадающих резисторов R1 – R48 для индикаторов ИПЦ52А9-1/7Л, рассчитанное по формуле 4.1 при $U_{OL} = 4,55 В$ и $U_{пр тип} = 3,0 В$, составляет 155 Ом.

Выбираем набор резисторов типа НР1-1Р-8 с допусаемым отклонением $\pm 1\%$ и номинальным сопротивлением 154 Ом, из ряда E96. [16]

Значение сопротивления токозадающих резисторов R49 – R50 для индикаторов зеленого цвета свечения 3Л336И-Л/ПО, рассчитанное по формуле 4.1 при $U_{OL} = 4,55 В$ и $U_{пр тип} = 2,0 В$, составляет 255 Ом.

Выбираем резисторы типа С2-33Н с допусаемым отклонением $\pm 1\%$ и номинальным сопротивлением 255 Ом, из ряда E96. [16]

Значение сопротивления токозадающих резисторов R49 – R50 для индикаторов красного цвета свечения 3Л336К-К/ПО, рассчитанное по формуле 4.1 при $U_{OL} = 4,55 В$ и $U_{пр тип} = 1,7 В$, составляет 285 Ом.

Выбираем резисторы типа С2-33Н с допусаемым отклонением $\pm 1\%$ и номинальным сопротивлением 287 Ом, из ряда E96. [16]

Значение мощности рассеяния резисторов не превысит 0,03 Вт.

Техническая реализация панели управления

Электрическая схема панели управления реализована в соответствии с функциональной схемой, приведенной на рисунке 4.14.

В качестве переключателей S1, S4 будет применен переключатель ПГЗ-3ПЗН В.

В качестве переключателей S2, S3, S5 будет применен переключатель ПГЗ-11П1Н В.

В качестве кнопок SB1, SB2 будет применен переключатель ПКН-169-2-2 В.

Все изделия включены в "Перечень ЭКБ" редакции 2017 г., срок службы изделий 25 лет.

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		73

5.6 Перечень конструкторских документов УУИ

5.6.1 В приложениях к настоящей пояснительной записке представлены следующие документы:

- приложение Г – схема электрическая соединений УУИ;
- приложение Д – схема электрическая принципиальная платы процессора;
- приложение Е – перечень элементов платы процессора;
- приложение Ж – схема электрическая принципиальная платы индикации;
- приложение З – перечень элементов платы индикации;
- приложение И – схема электрическая принципиальная панели управления
- приложение К – схема электрическая принципиальная кабеля К1;
- приложение Л – схема электрическая принципиальная кабеля К2.

5.6.2 Проектирование схем выполнено с использованием САПР "Altium Designer" в соответствии со стандартами ЕСКД.

Выводы по разделу 5

В разделе 5 проведен выбор типов ЭРИ, применяемых в УУИ, проведен расчет номиналов резисторов платы индикации. Проведена разработка схемы электрической соединений УУИ и схем электрических принципиальных сборочных единиц УУИ, выпущен перечни элементов.

6 РАЗРАБОТКА СХЕМЫ АЛГОРИТМА ПРОГРАММЫ ФУНКЦИОНИРОВАНИЯ УУИ

Описание алгоритма программы функционирования УУИ

Схема алгоритма программы функционирования УУИ, определяющая логическую последовательность выполнения операций в программе представлена в приложении М настоящей ПЗ.

Программа функционирования УУИ содержит семь программ:

- управляющая программа;
- программа самопроверки КИА;
- программа проверки УУ;
- программа проверки УСО1;
- программа проверки УСО2;
- программа проверки УК;
- программа проверки УП.

Программы проверок разрабатываются самостоятельно, по исходным данным разработчиков устройств.

В памяти программ микроконтроллера программы размещены на разных страницах памяти программ. Для управляющей программы зарезервирована одна страница, для программ проверок, согласно ТЗ, по две страницы.

В таблице 6.1 приведены коды страниц, занимаемых программами.

Обмен данными между управляющей программой и программами проверок осуществляется через ОЗУ микроконтроллера. При смене страниц состояние ОЗУ не изменяется.

На схеме алгоритма программы функционирования УУИ показаны:

- процесс ввода данных с панели управления;
- операции обработки данных и формирование логических условий для выбора соответствующей программы проверок устройств;

– операции обработки результатов проверки и процесс вывода данных на индикаторы УУИ.

Таблица 6.1 – Коды страниц, занимаемых программами

Наименование программы	Код страницы, Нех
Управляющая программа	00
Самопроверка КИА	01, 02
Проверка УУ	03, 04
Проверка УСО1	05, 06
Проверка УСО2	07, 08
Проверка УК	09, 0a
Проверка УП	0b, 0c

6.1.8 Схема алгоритма разработана в соответствии со стандартами ЕСПД.
[17, 18]

7 АНАЛИЗ ВЫПОЛНЕНИЯ ТРЕБОВАНИЙ ТЕХНИЧЕСКОГО ЗАДАНИЯ

7.1 Анализ выполнения требований технического задания приведен в таблице 7.1.

Таблица 7.1 – Анализ выполнения требований технического задания

№ п. ТЗ	Содержание требования	Анализ выполнения требования
	УУИ должно состоять из следующих основных частей: - процессор; - панель управления УУИ; - панель индикации УУИ; - комплект кабелей УУИ.	Выполнено. В состав УУИ входят плата процессора, панель управления, плата индикации и кабели К1, К2.
3.2.2	УУИ должно обеспечивать преобразование напряжения постоянного тока уровня 27 В в напряжение постоянного тока 5 В для электропитания элементов УУИ;	Выполнено. Преобразование напряжения постоянного тока уровня 27 В в напряжение постоянного тока 5 В обеспечивает модуль питания СПН-27-10-05-1.
3.2.2	УУИ должно обеспечивать хранение программного обеспечения УУИ в памяти программ процессора и перепрограммирование ПЗУ;	Выполнено. Хранение программного обеспечения обеспечивают две микросхемы электрически стираемого и перепрограммируемого постоянного запоминающего устройства Flash-типа 1636PP1AU объемом 512 Кбайт каждая.
3.2.2	УУИ должно обеспечивать выбор и исполнение программ проверок устройств из состава СУ ПГС;	Выполнено. Выбор и исполнение программ проверок устройств обеспечивают панель управления и узел МК.
3.2.2	УУИ должно обеспечивать информационное взаимодействие с устройством ввода-вывода (УВВ) из состава КИА СУ ПГС по последовательному интерфейсу каналу связи "RS-485" при выполнении проверок устройств (кроме УП) из состава СУ ПГС и самопроверки КИА;	Выполнено. Информационное взаимодействие с УВВ по каналу связи "RS-485" обеспечивается использованием последовательного порта ввода/вывода МК и микросборки 2601ИН1П – приемопередатчик с гальванической развязкой для реализации интерфейса "RS-485".

Продолжение таблицы 7.1

№ п. ТЗ	Содержание требования	Анализ выполнения требования
3.2.2	УУИ должно обеспечивать отображение информации о ходе выполнения проверок и результатов проверок на панели индикации УУИ.	Выполнено. Информации о ходе выполнения проверок и результатов проверок выводится на единичные и семисегментные индикаторы панели индикации УУИ. Вывод информации обеспечивает программа микроконтроллера и аппаратные средства узлов МК и ВВИ.
приемопередатчика "RS-485"	УУИ является крайним абонентом в канале связи "RS-485", в связи с чем между линиями связи на входе должен быть установлен согласующий резистор, сопротивление которого составляет 120 Ом.	Выполнено. Между линиями связи А и В на плате процессора установлен резистор с номинальным сопротивлением 120 Ом
	Узел связи по интерфейсу "RS-485" должен обеспечивать гальваническую развязку электропитания УУИ с линиями интерфейса "RS-485".	Выполнено. Гальваническую развязку электропитания УУИ с линиями интерфейса обеспечивает приемопередатчик с гальванической развязкой 2601ИИ1П.
	Скорость передачи данных по каналу связи "RS-485" не более 115200 бод.	Выполнено. Скорость передачи данных обеспечивается тактовой частотой микроконтроллера 11,059 МГц и записью в регистр скорости обмена микроконтроллера значения, соответствующего скорости 115200 бод..
	Органы управления УУИ должны обеспечивать: выдачу команд, задающих режимы работы УУИ, выдачу команд, задающих выбор программы проверки устройства, выдачу команд, задающих выбор номера этапа, выдачу команд, задающих выбор номер канала УП.	Выполнено. Выдачу команд обеспечивают малогабаритные поворотные и кнопочные переключатели, расположенные на панели управления.
размещены две группы индикаторов "Проверка ОК" и "Данные".	На панели индикации должны быть	Выполнено. Группа индикаторов "Проверка ОК" реализована на трех единичных индикаторах. Группа индикаторов

Изм	Лист	№ докум.	Подпись	Дата
-----	------	----------	---------	------

27.03.04.2018.303.00.00 ПЗ

		<p>"Данные" реализована на шести семисегментных индикаторах, расположенных на плате индикации.</p>
--	--	--

Продолжение таблицы 7.1

№ п. ТЗ	Содержание требования	Анализ выполнения требования
3.2.15	Цепи питания 27 В и цепи питания элементов УУИ должны быть гальванически развязаны.	Выполнено В модуле питания СПН27-10-05-I входные цепи питания гальванически развязаны с выходными цепями питания.
	УУИ должно функционировать при температуре от плюс 15 до плюс 25°С и относительной влажности воздуха 80% в указанном диапазоне.	Выполнено. Выбранные ЭРИ обеспечивают функционирование УУИ при заданных параметрах температуры и влажности воздуха.
	Производиться в составе платы процессора. Перепрограммирование ППЗУ должно обеспечивать	Выполнено На розетку ХО2, установленную на плате процессора, выведены цепи, перепрограммирование ППЗУ с внешнего устройства.
3.13.5	Внешние сигналы должны быть распределены по контактам соединителей Х1, Х2 в соответствии с таблицами 3.1 и 3.2.	Выполнено В схеме электрической принципиальной кабеля К1 распределение по контактам соединителей Х1, Х2 выполнено в соответствии с ТЗ.
Программное	обеспечение УУИ должно содержать семь программ: – управляющая программа; – программа проверок КИА; – программа проверок УУ; – программа проверок УСО1; – программа проверок УСО2; – программа проверок УК; – программа проверок УП.	Выполнено Взаимодействие между данными программами приведено в схеме алгоритма программы функционирования УУИ.
Для каждой	программы в памяти программ процессора УУИ должно быть зарезервировано не менее 70 Кбайт	Выполнено Для каждой программы в памяти программ микроконтроллера зарезервировано по две страницы – 56 Кбайт каждая.

Выводы по разделу 7

В разделе 7 проведен анализ выполнения требований ТЗ, который подтвердил выполнение всех требований в полном объеме.

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		81

ЗАКЛЮЧЕНИЕ

В результате дипломного проектирования разработано устройство управления и индикации.

Проведен анализ выполнения требований технического задания на разработку выпускного квалификационного проекта по теме "Устройство управления и индикации".

Требования технического задания выполнены в полном объеме.

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		82

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. "Перечень электронной компонентной базы, разрешенной для применения при разработке, модернизации, производстве и эксплуатации вооружения, военной и специальной техники" ЭКБ ХХ – 2017. – 231 с.
2. Зельдин, Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре / Е.А.Зельдин. – Ленинград: Изд-во "Энергоатомиздат", 1986. – 279 с
3. Сабунин А.Е. "Altium Designer. Новые решения в проектировании электронных устройств". – М: СЛОН – ПРЕСС, 2010. – 432 с.
4. Светоизлучающие диоды и индикаторы. Каталог. – Орёл: ОАО "Протон", 2016 – 119 с.
5. Источники вторичного электропитания серии СПН, СПНМ. Технические условия. КЦАЯ.436434.001 ТУ. – 2004. – 52 с.
6. Микросборка 2601ИН1П. Технические условия. АЕЯР.431230.535 ТУ – 2007. – 58с.
7. Микросхемы интегральные 1230ДП46Т, 1230ДП73Т, 1230ДП73У. Технические условия. АЕЯР.431340.367 ТУ. – 2007. – 80 с.
8. Микросхемы интегральные 1874ВЕ05Т. Технические условия. АЕЯР.431280.575ТУ – 2008. – 66 с.
9. Микросхемы интегральные 1874ВЕ76Т, 1874ВЕ06Т, 1874ВЕ05Т. Техническое описание. КФДЛ.431295.019 ТО – 2008. – 274 с.
10. Микросхемы интегральные. Серии 1554ТБМ, 1554УБМ. Базовые технические условия. АЕЯР.431200.182 ТУ. – 2002. – 105 с.
11. Микросхемы интегральные серии 5584Т, 5584Т1. Базовые технические условия. АЕЯР.431200.209 ТУ.
12. Конденсаторы оксидно-полупроводниковые К53-67. Технические условия. АЖЯР.67346 ТУ. – ред. 2011. – 92 с.
13. Конденсаторы керамические К10-79. Технические условия. АЖЯР.673511.004 ТУ. – 92 с.
14. Резисторы постоянные непроволочные С2-33, С2-33Н, С2-33АИ. Технические условия ОЖО.467.093 ТУ. – 1986. – 43 с.

15. Микросхемы интегральные 1554ИР23ТБМ, 1554ИР24ТБМ, 1554ИР35ТБМ, 1554ИР37ТБМ. Технические условия исполнения. АЕЯР.431200.182-12 ТУ.

16. ГОСТ 28884 – 90. Ряды предпочтительных значений для резисторов и конденсаторов.

17. ГОСТ 19.002-80. ЕСПД. Схемы алгоритмов и программ. Правила выполнения.

18. ГОСТ 19.003-80. ЕСПД. Схемы алгоритмов и программ. Обозначения условные графические.

19. Соединители ОНП-ЖИ-8, ОС ОНП-ЖИ-8. Руководство по эксплуатации. НКЦС.434415.001 РЭ

20. Микросхемы интегральные 1636РР1У. Технические условия. АЕЯР.431210.64 ТУ.

21. Генераторы кварцевые ГК108-П. Технические условия. АФТП.433520.007 ТУ.

22. Индикаторы полупроводниковые единичные типа 3Л 336. Технические условия. АЕЯР.432220.332 ТУ.

23. Индикаторы знакосинтезирующие полупроводниковые цифровые ИПЦ52А9. Технические условия. АЕЯР432220.699 ТУ.

ПРИЛОЖЕНИЕ А

Техническое задание на разработку выпускной квалификационной работы
по теме "Устройство управления и индикации"

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		85

ПРИЛОЖЕНИЕ Б Схема электрическая структурная

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		86

ПРИЛОЖЕНИЕ В Схема электрическая функциональная

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		87

ПРИЛОЖЕНИЕ Г Схема электрическая соединений

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		88

ПРИЛОЖЕНИЕ Д Схема электрическая принципиальная платы процессора

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		89

ПРИЛОЖЕНИЕ Е Перечень элементов платы процессора

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		90

ПРИЛОЖЕНИЕ Ж Схема электрическая принципиальная платы индикации

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		91

ПРИЛОЖЕНИЕ 3 Перечень элементов платы индикации

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		92

ПРИЛОЖЕНИЕ И Схема электрическая принципиальная платы управления

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		93

ПРИЛОЖЕНИЕ К Схема электрическая принципиальная кабеля К1

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		94

ПРИЛОЖЕНИЕ Л Схема электрическая принципиальная кабеля К2

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		95

ПРИЛОЖЕНИЕ М Схема алгоритма программы функционирования УУИ

					27.03.04.2018.303.00.00 ПЗ	Лист
Изм	Лист	№ докум.	Подпись	Дата		96