

Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«Южно-Уральский государственный университет»
(национальный исследовательский университет)
Филиал ФГБОУ ВПО «ЮУрГУ» (НИУ) в г. Усть-Катаве

Кафедра Электромеханика

РАБОТА ПРОВЕРЕНА

Рецензент, А.М. Ефремов
научный лабораторный
студент
17 июня 2016 г.

ДОПУСТИТЬ К ЗАЩИТЕ

Заведующий кафедрой,
к.ф.м.н., доцент
В.И. Сафонов
20 июня 2016 г.

Система управления шаговым двигателем на базе ПЛИС

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА
К ВЫПУСКНОЙ КВАЛИФИКАЦИОННОЙ РАБОТЕ
ЮУрГУ-140400.2016.061.000 ПЗ ВКР

Консультанты
Безопасность жизнедеятельности,
к.т.н. доцент

В.Г. Некрутов
15 июня 2016 г.

Руководитель работы,
ведущий инженер по метрологии

С.А. Марочкин
30 мая 2016 г.

Автор работы
студент группы УКФл-523

И.А. Полончиков
30 мая 2016 г.

Нормоконтролер, доцент

В.Д. Константинов
16.06 2016 г.

Усть-Катав 2016

Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«Южно-Уральский государственный университет»
(национальный исследовательский университет)
Филиал ФГБОУ ВПО «ЮУрГУ» (НИУ) в г. Усть-Катаве

Кафедра Электромеханика
Специальность 140400 Электроэнергетика и электротехника

УТВЕРЖДАЮ

Заведующий кафедрой

Сафонов В. И. Сафонов
1 февраля 2016 г.

ЗАДАНИЕ

на выпускной квалификационный проект студента
Полончикова Ивана Алексеевича

Группа УКФл-523

1 Тема проекта

Система управления шаговым двигателем на базе ПЛИС

утверждена приказом по филиалу от 15.04.2016 № 661

2 Срок сдачи студентом законченного проекта 1 июня 2016 г.

3 Исходные данные к проекту

3.1 Справочно-техническая литература

3.2 Инструкции к оборудованию и интегральным схемам

3.3 Ресурсы Internet

4 Содержание расчетно-пояснительной записки (перечень подлежащих разработке вопросов)

Аннотация

Оглавление

Введение

1 Сравнение отечественных и передовых зарубежных технологий и решений.

Выводы.

2 Общий раздел. Анализ исходных данных и постановка задачи. Описание способов управления шаговыми двигателями. Описание функциональной схемы.

Выводы.

3 Специальный раздел. Выбор модели ПЛИС. Описание структуры ячейки ПЛИС. Описание системы управления вводом-выводом. Разработка принципиальной схемы управления ШД. Выбор элементов схемы. Разработка схемы управления на языке описания устройств. Расчет быстродействия схемы. Разработка алгоритма работы программного обеспечения Выводы.

4 Организационно-экономический раздел. Организация производства. Экономика производства. Выводы.

5 Безопасность жизнедеятельности. Организация рабочего места программиста. Расчет естественного освещения. Планирование мероприятий по обеспечению безопасности жизнедеятельности в ЧС Выводы.

Заключение

Библиографический список

5 Перечень графического материала (с точным указанием обязательных чертежей, плакатов в листах формата А1)

5.1 Система управления шаговым двигателем. Схема электрическая структурная	1,0 л
5.2 Ячейка ПЛИС AT40KAL. Схема электрическая функциональная	1,0 л
5.3 Система управления вводом-выводом. Схема электрическая функциональная	1,0 л
5.4 Система управления шаговым двигателем на базе ПЛИС. Схема электрическая принципиальная	1,0 л.
5.5 Модуль управления переключением обмоток. Схема электрическая принципиальная	1,0 л
5.6 Структура ПЛИС на языке описания устройств. Плакат	1,0 л.
5.7 Блок-схема программы управления шаговым двигателем. Плакат	1,0 л.

Всего 7 листов

6 Консультанты по проекту, с указанием относящихся к ним разделов проекта







Раздел	Консультант	Подпись, дата	
		Задание выдал (консультант)	Задание принял (студент)
Безопасность жизнедеятельности	В.Г. Некрутов		

7 Дата выдачи задания 01 февраля 2016 г.

Руководитель,
ведущий инженер по метрологии  Сергей Александрович Марочкин
(подпись)

Задание принял к исполнению  Иван Алексеевич Полончиков
(подпись студента)

КАЛЕНДАРНЫЙ ПЛАН

Наименование этапов выпускного квалификационного проекта	Срок выполнения этапов проекта	Отметка о выполнении руководителя
Сравнение отечественных и передовых зарубежных технологий и решений	23.03.16-07.04.16	
Общий раздел	08.04.16-22.04.16	
Специальный раздел	23.04.16-13.05.16	
Организационно-экономический раздел	14.05.16-19.05.16	
Безопасность жизнедеятельности	20.05.16-27.05.16	
Выполнение графической части	08.04.16-27.05.16	
Направление на рецензию	01.06.16	

Заведующий кафедрой _____  /В.И.Сафонов/

Руководитель проекта _____  /С.А.Марочкин/

Студент _____  /И.А.Полончиков/

АННОТАЦИЯ






Полончиков И. А. Система управления шаговым двигателем на базе ПЛИС. - Усть-Катав: ЮурГУ, филиал ЮурГУ в г. Усть-Катаве, 2016, 93 с, 39 илл., Библиография литературы — 12 наим. 7 чертежей ф. А1.

Представленная выпускная квалификационная работа посвящена разработке системы управления шаговым двигателем на базе интегральной схемы с программируемой логикой.

Повышенные требования, предъявляемые к разработке, в том числе, систем управления задвижками и редукторами, применяемых на стендах пневмо- гидро испытаний стали причиной перехода на новую элементную базу. В качестве такой базы были выбраны современные интегральные схемы с программируемой логикой.

В ходе работы над проектом разработана функциональная и принципиальная электрическая схема системы управления, выбрана ПЛИС AT40K05AL.

Проект по разработке программного обеспечения системы управления шаговым двигателем на базе ПЛИС является безрисковым, так как окупится за 1,5 и начнёт приносить прибыль.

					140400.2016.06 1.000 ПЗ					
Изм	Лист	№ докум.	Подп.	Дата	Система управления шаговым двигателем на базе ПЛИС					
Разраб.		Полончиков		30.05				Лит.	Лист	Листов
Руковод.		Марочкин		30.05					6	93
Рецензент		Евдокимов		17.06				Филиал ФГБОУ ВПО ЮУрГУ (НИУ) в г. Усть-Катаве. Кафедра «Электромеханика»		
Н.Контр.		Константинов		16.06						
Утв.		Сафонов		20.06						

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ.....	9
1 АНАЛИЗ ОТЕЧЕСТВЕННЫХ И ПЕРЕДОВЫХ ЗАРУБЕЖНЫХ ТЕХНОЛОГИЙ И РЕШЕНИЙ	
1.1 Семейство ПЛИС FPGA компании Altera Cyclone.....	10
1.2 Монолитные программируемые в условиях эксплуатации приборы системного уровня семейства AT94 фирмы Atmel.....	14
1.3 Обзор продукции фирмы «Xilinx».....	17
1.4 Сравнительная характеристика современных ПЛИС.....	22
Выводы по разделу один.....	22
2 ОСНОВНОЙ РАЗДЕЛ	
2.1 Общие сведения о шаговых двигателях.....	24
2.2 Выбор управляемого двигателя.....	28
2.3 Управление шаговым двигателем серии ДБМ.....	31
2.4 Применение ПЛИС для управления шаговым двигателем.....	33
Выводы по разделу два.....	35
3 СПЕЦИАЛЬНЫЙ РАЗДЕЛ	
3.1 Проектирование структурной схемы системы управления.....	36
3.2 Устройство ПЛИС AT40KAL.....	37
3.3 Структура ячейки ПЛИС.....	40
3.4 Описание системы ввода-вывода.....	43
3.5 Проектирование принципиальной схемы системы управления...	47
3.6 Описание САПР ПЛИС System Designer.....	53
3.7 Составление структуры ПЛИС на языке описания устройств....	63
3.8 Составление алгоритма работы программного обеспечения системы управления.....	70
3.9 Результаты моделирования процесса управления.....	74
Выводы по разделу три.....	76
4 ОРГАНИЗАЦИОННО-ЭКОНОМИЧЕСКИЙ РАЗДЕЛ	
4.1 Организация инновационной деятельности предприятия.....	77
4.2 Расчет экономической эффективности дипломного проекта с использованием методов дисконтирования.....	80
Выводы по разделу четыре.....	83

5 БЕЗОПАСНОСТЬ ЖИЗНЕДЕЯТЕЛЬНОСТИ

5.1 Организация рабочего места программиста.....	84
5.2 Расчет естественного освещения.....	88
Выводы по разделу пять.....	91
ЗАКЛЮЧЕНИЕ.....	92
БИБЛИОГРАФИЧЕСКИЙ СПИСОК.....	93

ВВЕДЕНИЕ

Растущий спрос на устройства, характеризующиеся сокращённым проектнотехнологическим циклом, быстрым макетированием и реконfigurированием цифровых систем, удобством программирования и низкими затратами, постоянно расширяет сферы применения программируемых логических интегральных схем (ПЛИС). Производители предлагают разнообразные ПЛИС: программируемые простые, матричные и сложные логические устройства (SPLD, PAL, CPLD), а также программируемые пользователем базовые матричные микросхемы (FPGA, БМК). Все ПЛИС обладают специфическими характеристиками и различным сочетанием таких параметров, как быстродействие, энергопотребление, уровень интеграции и стоимость. Такое разнообразие - одна из самых сложных проблем, с которыми приходится сталкиваться разработчику электронных устройств. Однако в условиях промышленной стандартизации задача выбора существенно облегчается. Наибольшее распространение получили ПЛИС типа FPGA (Field Programmable Gate Array), представляющие собой матрицу блоков программируемой логики, между строками и столбцами которой имеются программируемые соединения. Современные кристаллы FPGA содержат, кроме матриц, встроенную память, приёмопередатчики, микропроцессоры, которые пользователь может подключать для решения своих задач с помощью программируемых соединений внутри кристалла без ограничения числа циклов перепрограммирования.

В системах управления различными объектами часто используются устройства, выполненные на основе микроконтроллеров или микропроцессоров. С их помощью можно решать многие задачи измерения, управления и обслуживания. Такие устройства легко программируются, потребляют мало энергии и легко включаются в схему. Однако ПЛИС обладают большим числом выводов, настраиваемой стыковкой входов и выходов с практически любым стандартом напряжения логических уровней и способностью заменить собой несколько микросхем, включая микроконтроллер, регистры портов, интерфейс и т. п. Учёт архитектурных особенностей и в ряде случаев преимуществ ПЛИС перед микроконтроллерами позволяет реализовать на ПЛИС конкурентоспособные изделия. Примером обоснованного подхода к выбору элементной базы для реализации проектируемого устройства является разработка устройства управления шаговым двигателем на ПЛИС. При этом целью выпускной квалификационной работы является реальная задача, связанная с разработкой электропривода на базе двигателя серии ДБМ.

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		9

1 СРАВНЕНИЕ ОТЕЧЕСТВЕННЫХ И ПЕРЕДОВЫХ ЗАРУБЕЖНЫХ ТЕХНОЛОГИЙ И РЕШЕНИЙ

1.1 Семейство ПЛИС FPGA компании Altera Cyclone

Компания Altera представляет семейство Cyclone - самые недорогие FPGA. Имея вдвое меньшую стоимость по сравнению с конкурирующими недорогими FPGA, семейство Cyclone — это оптимальное решение для массовых, критичных к стоимости применений.

Устройства Cyclone построено на основе оптимизированной полностью медной технологии 1,5 В SRAM, и предлагает полную функциональность за половину цены конкурирующих устройств FPGA. С логической емкостью до 20'060 логических элементов (LE) и ОЗУ 288 Кбит, устройства Cyclone могут объединять в себе множество сложных функций. Устройства Cyclone содержат несколько полнофункциональных систем ФАПЧ (PLL), предназначенных для управления сетью тактовых сигналов и выделенных интерфейсов ввода/вывода, для работы с внешней памятью. Процессор для встроенных применений Nios и полный набор интеллектуальных продуктов (IP) Altera будут доступны для проектирования с устройствами Cyclone. Поддержка семейства Cyclone будет включена в ПО Quartus II Web Edition - бесплатное ПО доступное на сайте компании Altera.

Семейство устройств Cyclone - несомненный лидер по стоимости на рынке FPGA. При 4-х кратном увеличении логической емкости по сравнению с другими недорогими семействами и относительной ценой за 1 000 логических элементов менее 3\$, устройства Cyclone устанавливают новый ценовой стандарт для программируемой логики. Комбинация недорогой структуры с богатыми ресурсами в устройствах Cyclone позволяет создавать законченные системы на кристалле (SOPC), идеальные для массовых применений.

Устройства Cyclone предлагают недорогую альтернативу следующему поколению применений, которые в настоящий момент используют полужаказные схемы (ASIC) низкой и средней емкости. Сегодня системные разработчики все чаще сталкиваются с различными трудностями, основными из которых являются увеличение ценового давления и сложности проектирования, появляющиеся новые стандарты и сокращающиеся циклы разработки. При разработке на полужаказных схемах привлекается множество технических ресурсов, проводятся сложные процессы моделирования и проверки разработки, и обычно требуется несколько циклов доводки. При использовании устройств Cyclone с возможностями интеграции системного уровня, устраняются дорогие единовременные затраты на проектирование, требования минимального заказа, и риск задержки продукции, который бывает при разработке с использованием полужаказных схем. Системные разработчики теперь получают некоторый ценовой паритет программируемой логики и полужаказных схем для своих массовых проектов.

Семейство Cyclone на сегодняшний день это самое недорогое семейство FPGA. Устройства Cyclone содержат оптимальный набор свойств для массовых

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		10

применений, чувствительных к цене, таких как потребительские товары, автоэлектроника и коммуникационные устройства.

Выполненные по передовой технологии с медными слоями, устройства Cyclone имеют логическую емкость от 2'910 до 20'060 логических элементов (LE) и встроенную память, емкостью почти 300 Кбит (таблица 1.1). Устройства Cyclone поддерживают разные стандарты ввода/вывода, такие как LVTTTL, LVCMOS, PCI, SSTL2/3 и LVDS с поддержкой до 129 каналов, каждый из которых может работать со скоростями 311 Мбит/с. Устройства Cyclone содержат в своем составе выделенную цепь для подключения внешней памяти DDR SDRAM и FCRAM.

Устройства Cyclone содержат до двух цепей ФАПЧ на кристалле и иерархическую структуру тактовых сигналов, предлагая богатые возможности управления тактовыми сигналами на уровне кристалла или платы. Комбинация этих свойств и эффективной архитектуры, делают это семейство FPGA наиболее гибкой и недорогой альтернативой полужаказным схемам ASIC. В таблице 1.2 представлены корпуса ПЛИС Cyclone.

Таблица 1.1 — Обзор устройств Cyclone

Параметр	EP1C3	EP1C6	EP1C12	EP1C20
Логические элементы (LE)	2,910	5,980	12,060	20,060
Блоки памяти M4K (4 Кбит + parity)	13	20	52	64
Всего памяти (Бит)	58 Kbits	90 Kbits	234 Kbits	288 Kbits
Цепи ФАПЧ (PLL)	1	2	2	2
Максимальное кол-во пользовательских выводов	104	185	249	301

Таблица 1.2 — Корпуса устройств Cyclone и максимальное количество пользовательских выводов

Корпус	EP1C3	EP1C6	EP1C12	EP1C20
100-Pin TQFP	65			
144-Pin TQFP	104	98		
240-Pin PQFP		185	173	
324-Pin FineLine FJGA			249	233
400-Pin FineLine FJGA				301

Зачастую, снижение цены предполагает снижение емкости или уменьшение функций. Но только не в случае с устройствами Cyclone. Устройства Cyclone содержат богатые ресурсы логики и памяти, цепь управления тактовыми сигналами и расширенные возможности ввода/вывода.

Хотя устройства Cyclone используют те же самые основные блоки, что и семейство Stratix, они не являются "переупакованной" версией полужаказных кристаллов Stratix. Устройства Cyclone разрабатывались "с нуля" используя те же новшества, повышающие производительность и снижающие занимаемую площадь, которые присутствуют в устройствах Stratix.

Архитектура Cyclone содержит вертикально упорядоченные логические элементы (LE), блоки встроенной памяти, и цепи ФАПЧ, которые окружены элементами ввода/вывода (рисунок 1.1).

Высокоэффективная система межсоединений и структура тактовых сигналов с малым фазовым сдвигом обеспечивают связь между этими элементами для передачи тактовых сигналов и данных.

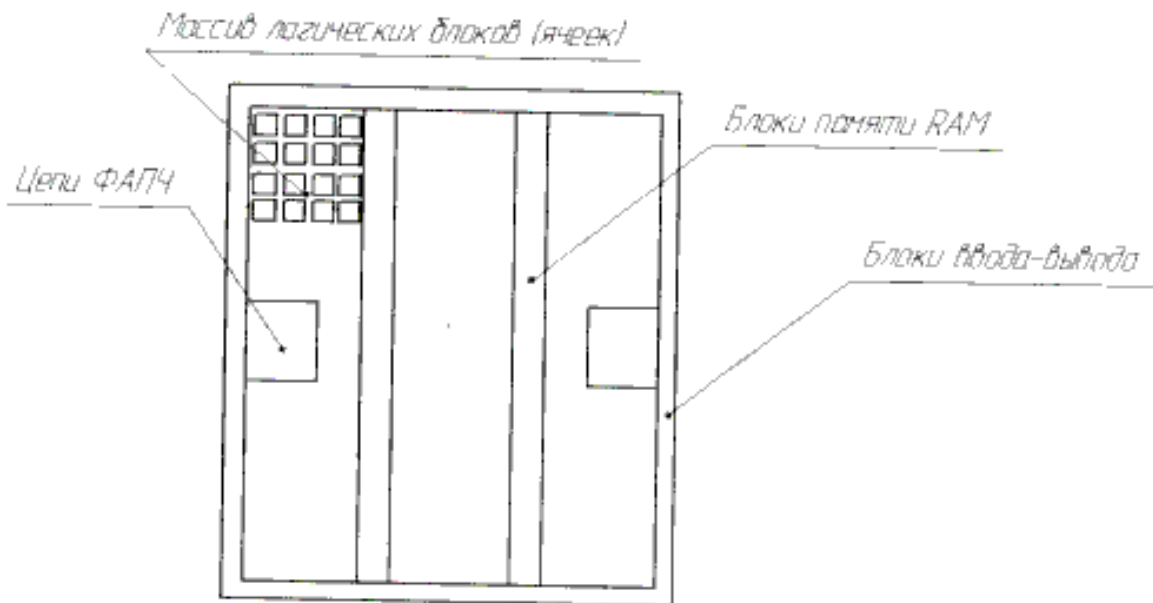


Рисунок 1.1 — Архитектура устройств Cyclone

Элементы ввода/вывода группируются в банки ввода/вывода, которые располагаются вокруг устройства, обеспечивая высокую производительность при минимальном занимаемом на кристалле месте. Элементы ввода/вывода поддерживают большой диапазон несимметричных и дифференциальных стандартов ввода/вывода, таких, как стандарт LVDS со скоростями передачи до 311 Мбит/с. Каждый элемент ввода/вывода содержит три регистра для реализации применений с двойной скоростью передачи данных (DDR) и связанную цепь для реализации таких свойств ввода/вывода, как программируемая интенсивность сигнала, удержание шины и программируемая скорость нарастания сигнала.

Некоторые банки ввода/вывода содержат выделенную цепь для подключения внешней памяти. Эта цепь облегчает передачу данных внешним устройствам памяти, включая устройства DDR SDRAM и FCRAM. Максимальная скорость передачи данных достигает 266 Мбит/с (при тактовой частоте 133 МГц).

Устройства Cyclone совместимы со стандартом PCI 32-bit/66 МГц, и поддерживают спецификацию 2.1. Каждый элемент ввода/вывода обеспечивает несколько путей от вывода до ядра, что позволяет удовлетворить заданные требования по времени установки и задержкам.

Все устройства Cyclone используют глобальную структуру тактовых сигналов, содержащей до 8 отдельных линий. Эти линии тактовых сигналов доступны со всех участков устройства и могут соединяться с входами, выходами цепей ФАПЧ, входами DDR/PCI или внутренней логикой (рисунок 1.2)

Изм.	Лист	№ докум.	Подпись	Дата

140400.2016.061.000 ПЗ

Лист

12

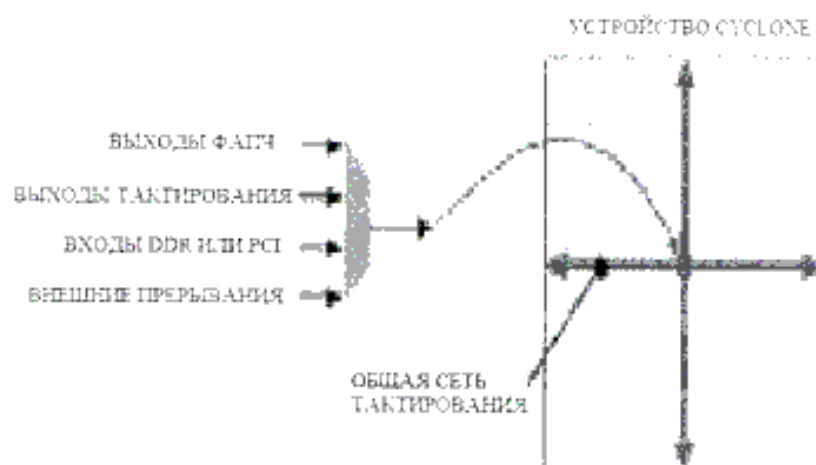


Рисунок 1.2 — Распределение тактовых сигналов

Устройства Cyclone способны работать с различными видами внешней памяти. Это новые стандарты памяти DDR SDRAM, FCRAM, и уже традиционные SDR SDRAM. Обмен данными осуществляется через выделенный интерфейс, который гарантирует быструю, надежную передачу данных со скоростями до 266 Мбит/с (таблица 1.3) При использовании имеющихся, оптимизированных функций контроллеров, разработчики могут реализовать интерфейсы DDR SDRAM и FCRAM в считанные минуты.

Таблица 1.3 — Внешняя память устройств Cyclone

Тип устройства памяти	SDR SDRAM	DDR SDRAM	FCRAM
Тактовая частота	133 МГц	133 МГц	133 МГц
Скорость передачи данных	133 Мб/с	266 Мб/с	266 Мб/с

Недавно, устройства DDR SDRAM стали популярны благодаря низкому потреблению энергии, относительно небольшой стоимости и способности быстрой передачи данных. Передача данных происходит по обоим фронтам тактового сигнала, максимально увеличивая скорость передачи данных и удваивая эффективность по сравнению с более медленной архитектурой SDR.

Устройства DDR SDRAM проникли на рынок через компьютерную область и теперь широко используются в широком диапазоне применений, от сетевых и коммуникационных приложений до домашних развлекательных приложений.

Устройства FCRAM похожие на SRAM устройства с малой задержкой, основанные на той же архитектуре, что и SRAM. Подобно SDRAM, устройства FCRAM поддерживают передачу данных по обоим фронтам системного тактового сигнала. Большая производительность этих устройств напрямую связана с собственными конвейерными и предзарядными операциями, которые существенно снижают время доступа по сравнению с архитектурой SDRAM.

Всё семейство Cyclone поддерживается бесплатным ПО Quartus II Web Edition.

1.2 Монолитные программируемые в условиях эксплуатации приборы системного уровня семейства AT94 фирмы Atmel.

FPSLIC фирмы Atmel объединяют на одном кристалле фиксированную и программируемую логику в едином, программируемом в процессе эксплуатации, приборе впервые объединены все компоненты типовой системы, что открывает перед разработчиками возможность создания на одном кристалле законченных автономных систем. К достоинствам такого решения перед дискретными и другими программируемыми решениями относят: сокращение площади печатных плат до 70%, снижение потребления до 50%, улучшение рабочих характеристик до 50% и существенное сокращение сроков разработки. Приборы FPSLIC содержат до 40000 вентилей FPGA семейства AT40K, объединенных с 8разрядным ядром RISC процессора AVR и большим количеством стандартной микроконтроллерной периферии, такой как UART, SPI, таймеры/счетчики и аппаратные перемножители. Кроме того, на кристалле размещены 36 Кбайт SRAM памяти программ/данных.

Приборы FPSLIC способны реконфигурировать свои FPGA в процессе запуска системы. Так системы, для которых необходимо использовать несколько стандартов, могут сохранять конфигурацию каждого стандарта в ROM и загружать их в реальном масштабе времени. Примером служат мобильные телефоны, которые могут быть перестроены с WCDMA на GSM стандарты, в процессе перемещения от страны к стране.

FPSLIC семейства AT94 поддерживаются полным набором средств проектирования System Designer, включая средства совместной верификации кодов процессора, аппаратной FPGA и программных средств AVR. В программные средства входит симулятор команд для AVR и HDL симулятор схемотехники FPGA. Весьма важным достоинством средств System Designer является возможность совместной верификации (Coverification) позволяющая разработчикам в процессе разработки одновременно симулировать программные и аппаратные средства способные работать совместно еще до разработки реальных аппаратных средств.

Состав и структура комплекта System Designer показаны на рисунке 1.3.



Рисунок 1.3 — Состав и структура комплекта System Designer

Изм.	Лист	№ докум.	Подпись	Дата

Основные характеристики FPSLIC семейства AT94:

- SRAM FPGA семейства AT40K со встроенными высокопроизводительным ядром RISC AVR® и SRAM команд и данных;

- от 10000 до 40000 ячеек SRAM FPGA, семейства AT40K с FreeRAM™;

- от 4,6К до 18,4К распределенной одно- двухпортовой FPGA пользовательской SRAM;

- высокопроизводительная ячейка ядра FPGA, оптимизированная под DSP;

- внутрисистемное динамическое реконфигурирование FPGA.

Встроенное ядро микроконтроллера AVR, поддерживающее схемотехнику Cache Logic® обладает очень малым потреблением в статических и динамических режимах, идеальное для портативных и батарейных применений;

Расширенная RISC архитектура AVR включает в себя:

- свыше 120 мощных команд большинство одноцикловых;

- высокопроизводительный аппаратный перемножитель для DSP ориентированных систем;

- производительность свыше 30 MIPS;

- ориентированная под "C" коды архитектура с 32 встроенными регистрами общего назначения;

- энергосберегающие режимы Idle, Power save и Power down;

- 36 Кбайт SRAM программ и данных с динамическим распределением;

- до 16Кx16 SRAM программ с быстродействием в 15 нс;

- до 16Кx8 SRAM данных с быстродействием в 15 нс;

Встроенная фиксированная AVR периферия включает:

- стандартный двухпроводный интерфейс;

- два программируемых последовательных UART;

- два 8 разрядных таймера/счетчика с отдельным предварительным делителем и PWM;

- один 16 разрядный таймер/счетчик с отдельным предварительным делителем, режимами захвата и сравнения, и со сдвоенным 8, 9 или 10 разрядным PWM

Поддержка организации в FPGA заказной периферии:

- управление AVR периферией - 16 декодируемых линий адресов прямого обращения к FPGA;

- 16 внутренних прерываний AVR, формируемых FPGA;

- до 4 внешних прерываний AVR;

- 8 глобальных тактовых сигналов для FPGA;

- два тактовых сигнала FPGA, формируемых логикой AVR;

- обращение FPGA к глобальному тактовому сигналу, формируемому ядром FPGA.

Большое количество схем генераторов:

- программируемый сторожевой таймер со встроенным собственным генератором;

- генератор внутренней синхронизации AVR;

- программный выбор тактовой частоты;

- генератор для обеспечения работы таймеров/счетчиков в реальном масштабе времени;

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		15

Напряжение питания от 3,0 до 3,6 В.

Совместимые с напряжением 3,3 В и PCI тактовой частотой 33 МГц FPGA I/O высокопроизводительные структуры I/O с втекающим/вытекающим током 24 мА индивидуальное программирование всех FPGA I/O.

Совместимость по выводам с FPGA фирмы Atmel серии AT40K.

CMOS технология с топологическими нормами 0,35 мкм и пятью уровнями металлизации.

Комплект современных средств проектирования, включающий Coverification, устанавливаемый на ПК

Приборы, входящие в серию AT94K (семейство приборов FPSLIC) и представленные в таблице 1.4, являются комбинацией популярных SRAM FPGA фирмы Atmel серии AT40K и высокопроизводительных 8 разрядных RISC микроконтроллеров AVR со стандартной периферией. Монолитные приборы, изготовленные по CMOS технологии с топологическими нормами 0,35 мкм и пятью уровнями металлизации, располагают большим объемом SRAM памяти программ и данных а также логикой и другими средствами управления приборами.

Ядро FPGA серии AT40K, полностью совместимое с PCI 3,3 В, является SRAM FPGA с распределенной синхронно/асинхронной, двух- однопортовой SRAM с быстродействием 10 нс, 8 глобальными тактовыми сигналами, возможностью организации логики кэш (Cache Logic), частично или полностью реконфигурируемой без потери данных, и содержит от 10000 до 40000 используемых вентиляей.

Таблица 1.4 Характеристики приборов серии AT94KAL

Тип прибора	AT94K10	AT94K20	AT94K40
Количество вентиляей FPGA	10K	20K	40K
Количество ячеек ядра FPGA	576	1024	2304
Объем SRAM FPGA, бит	4096	8192	18432
Количество регистров FPGA (всего)	864	1408	2880
Максимальное количество пользовательского I/O FPGA	144	192	288
Количество программируемых линий I/O AVR	16	16	16
Программируемая SRAM, байт	20K - 32K	20K - 32K	20K - 32K
SRAM данных, байт	4K - 16K	4K - 16K	4K - 16K
Аппаратный перемножитель (8-разрядный)	Есть	Есть	Есть
Двухпроводный последовательный интерфейс	Есть	Есть	Есть

Окончание таблицы 1.4

Тип прибора	AT94K10	AT94K20	AT94K40
UART	2	2	2
Сторожевой таймер	Есть	Есть	Есть
Таймеры/счетчики	3	3	3
Часы реального времени	Есть	Есть	Есть
Типовая производительность AVR при 40 МГц, MIPS	30	30	30
Рабочее напряжение, В	3,0 - 3,6	3,0 - 3,6	3,0 - 3,6

Встроенное ядро AVR, за счет выполнения мощных команд за один тактовый цикл, обеспечивает производительность в 1 MIPS/МГц, позволяя разработчикам оптимизировать потребление варьируя рабочую частоту.

В основе ядра AVR совершенная RISC архитектура, сочетающая богатую систему команд с 32 рабочими регистрами общего назначения. Все 32 регистра соединены непосредственно с арифметико-логическим устройством (ALU), обеспечивая обращение к двум независимым регистрам одной командой, выполняемой за один тактовый цикл. В итоге архитектура обеспечивает высокую эффективность выполнения кодов, обеспечивающую, в свою очередь, на порядок большую производительность чем обычные CISC микроконтроллеры при той же тактовой частоте. И SRAM конфигурирования FPGA и SRAM кодов команд AVR могут быть автоматически загружены при подаче питания на систему с использованием внутрисистемно программируемых EEPROM конфигурирования серии AT17 фирмы Atmel.

Под FPSLIC архитектуру разработаны совершенные средства проектирования "System Designer", позволяющие сократить время вывода конечной продукции на рынок за счет интеграции разработки и отладки программных средств микроконтроллера с разработкой схемы и маршрутизации FPGA и совместной верификацией полной системы едиными, простыми в применении средствами проектирования.

1.3 Обзор продукции фирмы «Xilinx»

В 1985 г. американская фирма «Xilinx» представила новый тип логических микросхем — перепрограммируемые пользователем базовые матричные кристаллы (Field Programmable Gate Array, или FPGA). Эти микросхемы предоставляют разработчику электронных устройств все преимущества использования стандартных БМК, добавляя при этом гибкость и значительное сокращение времени выхода устройства на рынок готовой продукции. Возможность реконфигурации кристалла непосредственно на рабочем месте дает принципиально новые средства коррекции ошибок при проектировании. Кроме этого, фирма «Xilinx» выпускает микросхемы с традиционной PAL-архитектурой — Complex Programmable Logic Devices (CPLD).

В настоящее время компания «Xilinx» выпускает семь серий ПЛИС (Программируемые Логические Интегральные Схемы) двух типов:

- FPGA — Field Programmable Gate Array,
- CPLD — Complex Programmable Logic Device.

Каждая серия содержит от одного до нескольких семейств, в свою очередь, состоящих из ряда кристаллов различной емкости, быстродействия, типов корпуса. На рисунке 1.4 показаны серии ПЛИС фирмы «Xilinx» и входящие в них семейства микросхем.

Основные особенности ПЛИС фирмы «Xilinx»:

- значительный объем ресурсов — до 10 млн системных вентилей на кристалл;
- высокая производительность с системными частотами до 420 МГц.

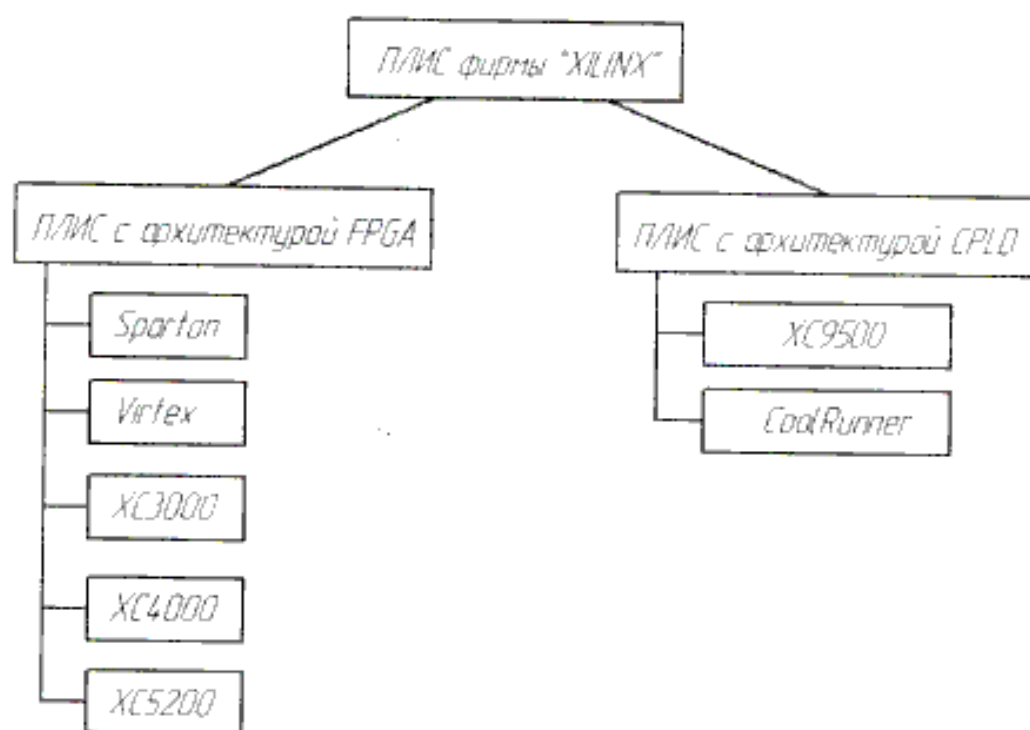


Рисунок 1.4 — Классификация ПЛИС фирмы Xilinx

- технологические нормы — до 0,12 мкм при восьми слоях металлизации;
- высокая гибкость архитектуры с множеством системных особенностей: внутреннее распределенное и блочное ОЗУ, логика ускоренного переноса, внутренние буферы с третьим состоянием и т. д.;
- возможность инициализации и верификации через порт JTAG;
- возможность программирования непосредственно в системе;
- широкая номенклатура кристаллов по типу исполнения;
- конкурентоспособная стоимость;
- низкое энергопотребление;
- короткий цикл проектирования и быстрое время компиляции;
- развитые и недорогие средства проектирования;
- возможность перевода проектов в заказные схемы фирмы «Xilinx».

Изм.	Лист	№ докум.	Подпись	Дата

Спектр выпускаемых фирмой кристаллов программируемой логики очень широк, поэтому и возможности применения ПЛИС фирмы «Xilinx» также неограниченны, начиная от реализации крупносерийных недорогих логических схем и распространяясь на высокоскоростную цифровую обработку сигналов, разнообразные интерфейсы и т. д. При изготовлении ПЛИС фирмой «Xilinx» используются три основные технологии:

- на основе статического ОЗУ (тип FPGA), при этом конфигурация ПЛИС хранится во внутреннем «теновом» ОЗУ, а инициализация осуществляется из внешнего массива памяти. По данной технологии выполнены серии: Spartan, Virtex, XC3000, XC4000, XC5200;

- на основе FLASH-памяти (тип CPLD), в данном случае конфигурация сохраняется во внутренней энергонезависимой FLASH-памяти и в любой момент времени может быть перезаписана непосредственно из РС. По данной технологии выполнена серия XC9500;

- на основе ЭПЗУ (тип CPLD), в данном случае конфигурация сохраняется во внутреннем энергонезависимом ЭПЗУ и в любой момент времени может быть перезаписана непосредственно из РС. По данной технологии выполнена серия CoolRunner.

Конфигурационная последовательность (bitstream) может быть загружена в ПЛИС FPGA непосредственно в системе и перегружена неограниченное число раз. Инициализация ПЛИС производится автоматически, из загрузочного ПЗУ фирмы «Xilinx» (XC1700 и XC18V00 серий) при подаче напряжения питания или принудительно по специальному сигналу.

Процесс инициализации занимает от 20 до 200 мс, в течение которых выводы ПЛИС находятся в высокоомном состоянии (подтянуты к логической единице).

Микросхемы типа CPLD, серий XC9500 и CoolRunner, программируются непосредственно в системе через порт JTAG из ПК, что исключает необходимость применения программатора. Через JTAG-порт обеспечивается и внутреннее тестирование схемы.

На этапе отладки конфигурация может загружаться с компьютера с помощью двух видов кабелей: Parallel Cable III, MultiLinx Cable. Все кабели позволяют проводить программирование по JTAG-порту микросхем CPLD.

При выборе кабеля необходимо учитывать следующие свойства: кабель Parallel поддерживает загрузку FPGA и программирование CPLD, а также обратное считывание конфигурации через порт JTAG. Напряжение питания подается с платы (5 В); кабель MultiLinx Cable подключается к порту RS-232 персонального компьютера или рабочей станции, а также к порту USB персонального компьютера. Функционально это аналог XChecker Cable, но с большим набором режимов конфигурации. Напряжение питания подается с платы (2.5...5 В).

Фирма «Xilinx» предлагает полный набор программного обеспечения, позволяющего разработать ПЛИС «Xilinx». Программное обеспечение включает в себя схемотехнический ввод, VHDL/Verilog синтез, функциональное моделирование, трассировщик кристаллов, моделирование после трассировки и многое другое.

						140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата			19

Существует четыре основных пакета программного обеспечения:

- Alliance Series — пакет ПО, включающий в себя модули только для трассировки и интерфейсы к схемным и текстовым редакторам ввода проекта других фирм;

- Foundation Series — пакет ПО, включающий схмотехнический ввод, VHDL/Verilog синтез, функциональное моделирование, трассировщик кристаллов, моделирование после трассировки;

- WebFitter — трассировщик ПЛИС CPLD серии XC9500. Данный продукт доступен только по сети Internet, физически расположен на сервере фирмы «Xilinx». Пользователю доступен только интерфейс.

- WebPack — свободно распространяемое через сеть Internet ПО для разработки ПЛИС CPLD серий XC9500 и CoolRunner, а также FPGA семейства Spartan-II и микросхему семейства Virtex-E XCV300E. Загружается бесплатно по сети Internet и устанавливается на ПК.

Также фирма «Xilinx» разрабатывает специализированные модули, так называемые логические ядра (CORE), которые могут быть использованы как библиотечные элементы при проектировании устройств на базе ПЛИС. Подробная информация представлена на странице [1].

Рассмотрим современное семейство ПЛИС Virtex-II фирмы «Xilinx»

Virtex-II — семейство ПЛИС с архитектурой FPGA. Предназначено для проектирования на его основе высокопроизводительных систем как малой, так и высокой логической емкости. Семейство позволяет реализовать на одном кристалле системы телекоммуникации, радио, сетевые устройства, устройства по обработке видеосигналов, DSP, а также интерфейсные устройства, включая интерфейсы PCI, LVDS и DDR.

Технология производства 0.15 мкм/0.12 мкм КМОП с 8-слойной металлизацией медью. Архитектура Virtex-II оптимизирована для высокоскоростных применений с низким энергопотреблением. Логический объем кристаллов семейства превышает 10 млн. вентилей, системные частоты достигают 420 МГц, что включает 12 микросхем, различающихся по логической емкости. В таблице 1.5 представлены основные параметры микросхем семейства Virtex-II.

Основные особенности семейства Virtex-II:

- логическая емкость от 40К до 10М системных вентилей;
- системная частота до 420 МГц (предварительные данные);
- скорость обмена до 840 Мбит/с (предварительные данные);
- иерархическая система элементов памяти на базе 4-входовых таблиц преобразования (4-LUT — Look-Up Table), конфигурируемых либо как 16-битовое ОЗУ (Random Access Memory), либо как 16-разрядный сдвиговый регистр;
- встроенная блочная память, каждый блок конфигурируется как синхронное двухпортовое ОЗУ емкостью 18К.

Быстрые интерфейсы к внешнему высокопроизводительному ОЗУ :

- 400 Мбит/с DDR-SDRAM интерфейс (предварительные данные);
- 400 Мбит/с FCRAM интерфейс (предварительные данные);

					140400.2016.061.000 113	Лист
Изм.	Лист	№ докум.	Подпись	Дата		20

- 333 Мбит/с QDR™ -SRAM интерфейс (предварительные данные);
 - 600 Мбит/с Sigma RAM интерфейс (предварительные данные).
- Арифметические функции:
- встроенные блоки умножителей 18X18;
 - специальная логика ускоренного переноса для высокоскоростных операций.

Таблица 1.5 — Основные параметры микросхем Virtex-II

Максимальное значение параметра	XC2V24	XC2V500
Логические ячейки, тыс.	352	4
Блочная память, Мбит	12	2
Секций DSP	700	15
Пиковая производительность цифровой обработки сигналов для фильтров с симметричными коэффициентами, ТМАС/с	504	18
Приемопередатчики	4	1
Пиковая скорость передачи, Гбит/с	30	3
Интерфейсы PCI Express	Gen 1x4	Gen
Скорость обмена по интерфейсам памяти, Мбит/с	800	21
Внешние выводы	450	50

Гибкие логические ресурсы:

- до 122 880 триггеров;
- до 122 880 16-разрядных сдвиговых регистров на базе LUT;
- поддержка многоходовых умножителей и логических функций;
- внутренние шины с третьим состоянием.

Цифровые модули управления синхронизацией внутри кристалла и всего устройства:

- до 12 DCM (Digital Clock Manager) модулей;
- выравнивание фронтов с высокой точностью;
- умножение и деление частоты;
- сдвиг фаз;
- уменьшение электромагнитных помех.

16 глобальных тактовых мультиплексных буферов.

Предсказуемые задержки, не зависящие от степени разветвленности™.

Поддержка большинства стандартов ввода-вывода (технология SelectIO™):

- 19 высокопроизводительных однопроводных стандартов ввода-вывода и 6 дифференциальных стандартов;
- программируемый выходной ток 2.. 24 мА;
- совместимость с PCI-X 133 МГц, PCI 66 МГц и 33 МГц;
- встроенные DDR регистры ввода и вывода.

Проектирование осуществляется пакетами программного обеспечения Foundation™ и Alliance Series, работающими на ПК или рабочей станции.

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		21

Дополнительными возможностями серии являются:

- шифрация/дешифрация конфигурируемых данных по стандарту Triple DES;
- поддержка стандарта загрузки и верификации IEEE 1532;
- частичное реконфигурирование;
- неограниченное число циклов загрузки конфигурации;
- режим пониженного энергопотребления;
- технология 0,15-мкм с 8-слойной металлизацией и 0,12-мкм быстродействующими транзисторами;
- напряжение питания ядра кристалла 1,5 В;
- логика периферийного сканирования в соответствии со стандартом IEEE 1149.1.

1.4 Сравнительная характеристика современных ПЛИС

Для последующих анализа и выбора ПЛИС для реализации системы управления шаговым двигателем сводим общие характеристики ПЛИС в таблицу 1.6

Таблица 1.6 — Сравнительная характеристика ПЛИС

Наименование характеристики	Altera Cyclone	AT94 фирмы Atmel	«Xilinx»
Логические элементы	до 20060	До 40000	До 352000
Блоки памяти	До 64 Кбит	До 18432 бит	До 12 Мбит
Всего памяти	До 288 Кбит	До 16 Кбит	До 18 Мбит
Максимальное количество пользовательских выводов	До 301	До 288	До 450
Комплект свободно распространяемого ПО	QuartusII WebEdition	System Designer	Foundation Series
Топология	0,35 мкм	0,35 мкм	0,15 мкм
Количество приемо- передатчиков	2	2	4

Выводы по разделу один

С учетом того, что, по имеющейся информации, даже инженерные образцы появились после 2012 года, в настоящий момент вряд ли целесообразно производить тщательное исследование характеристик новых ПЛИС. Точный

Изм.	Лист	№ докум.	Подпись	Дата
------	------	----------	---------	------

состав новых семейств и технические характеристики могут подвергнуться корректировке, поэтому приведенные в разделе сведения имеют характер общего описания дальнейших путей развития FPGA. Однако уже сейчас можно отметить, что архитектура основных ресурсов останется прежней, что даст возможность с минимальными изменениями перенести проекты, выполненные на базе современных семейств, — Virtex, AT40KAL.

В настоящее время возможность переноса проекта на более дешевые ПЛИС Altera привлечет разработчиков. Однако некоторым препятствием к этому было формальное различие в аппаратном составе семейств Virtex и AT40KAL.

Унификация архитектуры и простота переноса проектов в ПЛИС серии 7, в сочетании с появлением дополнительного семейства Altera, дают возможность быстро подобрать наиболее подходящую ПЛИС, обладающую минимальной стоимостью при выполнении технических требований к системе.

Широкие возможности выбора подходящей элементной базы делают предпочтительным переход к проектированию с использованием языков описания аппаратуры. Схожесть архитектуры будущих устройств с архитектурой существующих Virtex и AT94KAL позволяет уже сейчас проводить разработку проектов на базе доступных ПЛИС.

При рассмотрении новых семейств FPGA можно сделать следующий вывод: архитектуры двух основных линеек — серий Virtex и AT40KAL — сближаются. Это позволяет в определенной степени унифицировать конструкторские решения, принимаемые для программируемой части проекта (то есть основанной на логических ячейках), а впоследствии реализовать итоговый проект на более подходящей серии. Также немаловажно введение в AT40KAL 1p-ядер, повышающих привлекательность этого семейства для проектов средней степени сложности: приемопередатчики (позволяющие реализовать Ethernet, SATA и PCI Express 2.0) и контроллеры DDR/2/3.

Таким образом, принимая во внимание схожесть представленных в сравнительном анализе ПЛИС, новое поколение FPGA от фирмы Atmel предоставило разработчикам мощную и разностороннюю аппаратную платформу для реализации цифровых систем, поэтому для реализации системы управления шаговым двигателем выбрана ПЛИС серии AT40KAL.

Изм.	Лист	№ докум.	Подпись	Дата

2 ОСНОВНОЙ РАЗДЕЛ

2.1 Общие сведения о шаговых двигателях

Принцип действия всех существующих ШД основан на дискретном изменении состоянии электромагнитного поля в рабочем зазоре электрической машины. Это достигается импульсным возбуждением (или переключением) ее обмоток. Электромеханический преобразователь энергии, развивающий синхронизирующий момент или удерживающую силу в каждом из циклически повторяющихся возможных состояний, число которых $p > 2$, при соблюдении условий направленного перехода в очередное устойчивое состояние может быть использован в качестве шагового двигателя. Этим требованиям отвечает широкий класс устройств: электромагниты с возвратной пружиной и храповым, алкерным или фрикционным механизмом, синхронные электрические машины, асинхронные электрические машины с неполной клеткой на роторе, сельсины.

Наиболее полно требованиям быстродействия, устойчивости движения и его квантования по шагам в сочетании с конструктивной простотой и надежностью отвечают многофазные ($m > 2$) синхронные шаговые двигатели. Принцип действия и основные особенности физических процессов этих двигателей рассмотрим на примере электрической машины (рисунок 2.1) с двумя сосредоточенными обмотками ax и by , расположенными вдоль осей α и β на статоре, и возбужденным двухполюсным ротором. Для упрощения примем идеализирующие допущения и будем считать статор гладким в магнитном отношении, а магнитную индукцию ротора в рабочем зазоре - распределенной по закону косинуса относительно продольной оси d ротора. Угол η , в функции которого представлено распределение магнитной индукции B_r ротора и н. с. F_{r1} и F_{r2} обмоток статора, является текущей координатой окружности статора и отсчитывается от оси a . Положение ротора определяется углом θ между осью a статора и продольной осью d ротора.

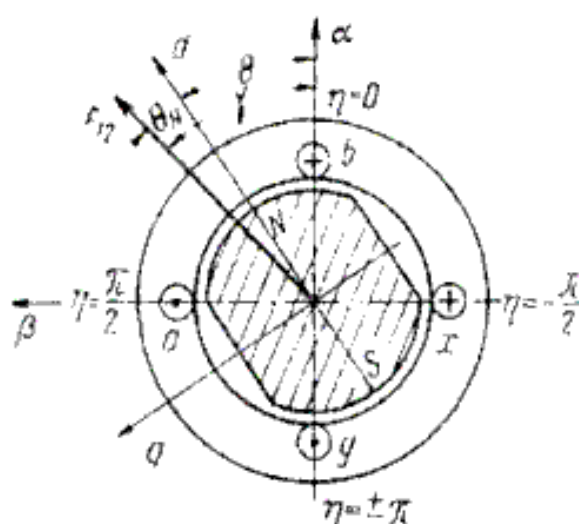


Рисунок 2.1 — Принцип действия шагового двигателя

Изм.	Лист	№ докум.	Подпись	Дата

Примем число витков каждой из обмоток статора равным ω , а активное сопротивление равным R . При включении обмотки на напряжение источника постоянного тока U в ней устанавливается ток $I = U/R$. Условимся, что коммутирующее устройство позволяет нам подключать к источнику обмотки ax к by порознь или совместно, с положительной или отрицательной полярностью. Каждой комбинации включения обмоток после затухания переходных процессов соответствует некоторое электрическое состояние машины, характеризующееся строго определенным пространственным распределением электромагнитного поля статора.

Ротор при этом занимает положение, в котором электромагнитный момент, возникающий при его взаимодействии с полем статора, уравновешен моментом внешних сил, приложенных к валу.

Если к валу ротора приложены внешние силы $M_{\text{в}} \neq 0$, то ротор после затухающих колебаний, сопровождающих каждое элементарное перемещение, устанавливается относительно центра равновесия с некоторой угловой ошибкой, которая всегда меньше шага и зависит от степени нагружения ротора, амплитуды и формы кривой статического синхронизирующего момента. Для состояний (+1) и (+2) статическая угловая ошибка, отсчитываемая в направлении, противоположном направлению отсчета текущей угловой координаты ротора θ , согласно [2] равна:

$$\Theta_{\text{ст}} = \pm \arcsin \left(\frac{M_{\text{в}}}{M_{\text{ст}}} \right), \quad (2.1)$$

где $M_{\text{в}}$ — момент сопротивления нагрузке;

$M_{\text{ст}}$ — электромагнитный момент.

Для состояния (+1)(+2) по уравнению (7) имеем соответственно:

$$\Theta_{\text{ст}} = \pm \arcsin \left(\frac{M_{\text{в}}}{\sqrt{2} M_{\text{ст}}} \right). \quad (2.2)$$

Направление смещения нагруженного ротора относительно устойчивого центра равновесия, определяемое знаком угловой ошибки, совпадает с направлением действия внешних сил, приложенных к валу шагового двигателя. Для положительного момента сопротивления тормозящих сил нагрузки $M_{\text{в}} > 0$ угловая ошибка $\theta_{\text{ст}} > 0$ и угол θ , определяющий собою текущее положение ротора, уменьшается. Для отрицательного момента ускоряющих сил нагрузки $M_{\text{в}} < 0$ угловая ошибка $\theta_{\text{ст}} < 0$, и угол θ увеличивается.

Физически статическая ошибка является углом рассогласования продольной оси ротора d с осью результирующей н. с. статора. Если положение оси результирующей н. с. статора охарактеризовать углом ν (рисунок 2.1) то угловая статическая ошибка определяется формулой (2.3):

$$\Theta_n = v - \Theta \quad (2.3)$$

Проведенное рассмотрение показывает, что взятый нами электромеханический преобразователь энергии удовлетворяет всем основным требованиям, сформулированным в начале этого параграфа, и может быть использован в качестве шагового двигателя. Необходимо, однако, установить циклическую повторяемость состояний преобразователя и выявить виды циклов.

Так как изменение электрических состояний шагового двигателя обеспечивается переключением его обмоток, рассмотрим возможные циклы коммутации напряжений U_1 и U_2 на обмотках ax и by статора. Три возможных цикла переключения обеих обмоток в круговой последовательности показаны на рисунке 2.2. Построенные циклограммы предполагают, что в моменты времени $0, t_1, t_2, t_3, \dots$ коммутирующее устройство по командам управляющих импульсов $N = 0, 1, 2, 3, \dots$ выполняет одну из трех операций:

- включает с требуемой полярностью одну из обмоток на напряжение источника U , одновременно отключая другую обмотку (рисунок 2.2, а);
- изменяет на обратную полярность включения одной из обмоток (рисунок 2.2, б);
- только включает или только выключает одну из обмоток (рисунок 2.2, в).

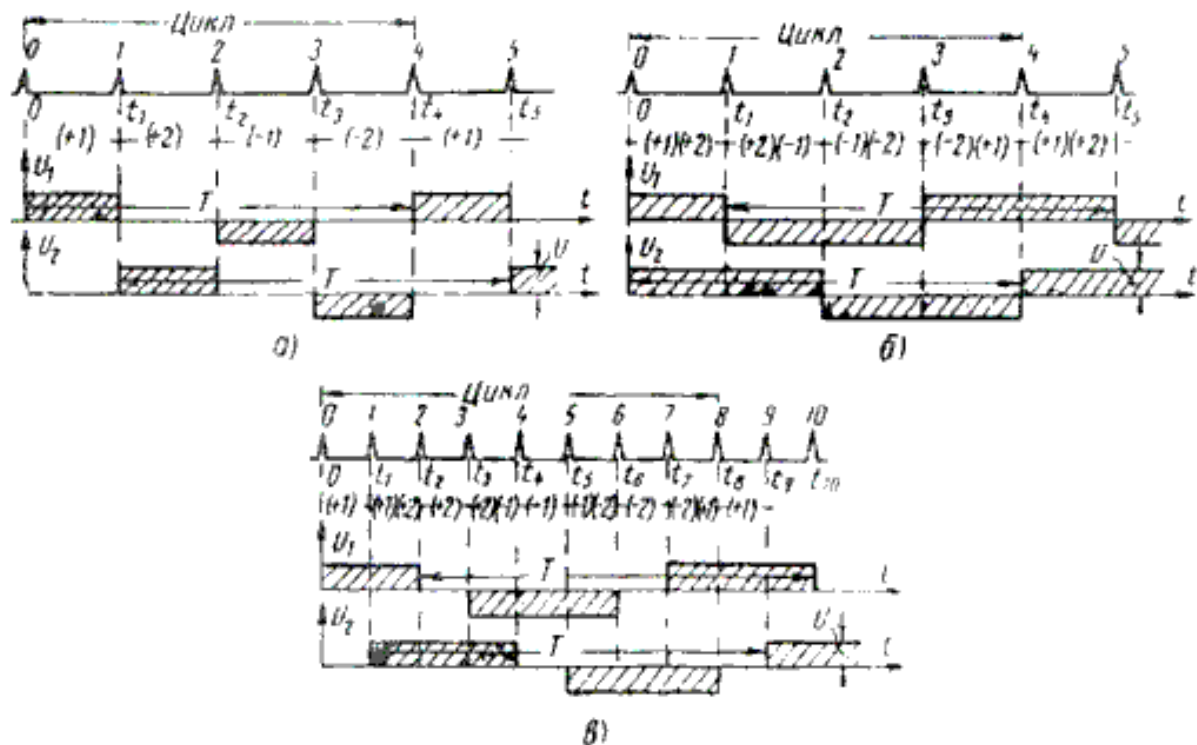


Рисунок 2.2 — Циклы коммутации двухобмоточного шагового двигателя

Если двигатель переключается в соответствии с циклограммой на рисунке 2.2 а, то на интервале времени $0 - t_1$ включена первая обмотка ax с положительной полярностью. Это состояние $(+ 1)$. С поступлением в момент времени t_1 1-го

управляющего импульса, обмотка a_x отключается и включается с положительной полярностью вторая обмотка b_y . Мы получаем второе состояние (+2), которое сохраняется до момента времени t_2 . В этот момент 2-й управляющий импульс вызывает отключение обмотки b_y и включение с отрицательной полярностью обмотки a_x . При этом двигатель переходит в третье состояние (-1). Четвертое и последнее состояние (-2) соответствует включению с отрицательной полярностью обмотки b_y . На этом цикл коммутации заканчивается, так как очередной управляющий импульс вызывает повторение состояния (+1). Мы рассмотрели четырехтактную поочередную коммутацию (+1) — (+2) — (-1) — (-2) — двухфазного шагового двигателя, работающего с изменением полярности включения обмоток. Продолжительность цикла коммутации равна периоду T изменения напряжения на фазе.

Каждому состоянию в пределах одного цикла коммутации соответствует строго определенное распределение поля статора (рисунок 2.2 в), которое удобно охарактеризовать пространственным вектором н.с. Положительные направления токов в обмотках a_x и b_y , соответствующие состояниям (+1) и (+2), показаны на рисунке 2.1. Следовательно, в состоянии (+1) пространственный вектор н.с. статора совпадает с положительной полуосью α , в состоянии (+2) - с положительной полуосью β , в состоянии (-1) - с отрицательной полуосью α в состоянии (-2) — с отрицательной полуосью β . Очевидно, что в процессе коммутации обмоток поле статора вращается, причем каждому переключению соответствует поворот поля на угол $\alpha = \pi/2$, а за цикл коммутации поле совершает полный оборот. Так как продолжительность любого такта коммутации не ограничена, то поле статора после установления тока в возбужденной обмотке может оставаться сколь угодно долго неизменным во времени и неподвижным в пространстве. Возможность получения статических состояний электромагнитного поля в рабочем зазоре является одним из характерных признаков шагового двигателя и составляет его главное отличие от обычной синхронной машины переменного тока.

Циклограмма коммутации на рисунке 2.2 б) соответствует парной четырехтактной коммутации с переменной полярности включения обмоток (+1)(+2) — (+2)(-1) — (-1)(-2) — (-2)(+1)... Здесь в каждом состоянии включены обе обмотки. Их совместным действием создается результирующее поле статора. Амплитуда основной волны результирующей н.с. статора в раз больше, чем при поочередной коммутации. Во столько же раз возрастает амплитуда статического синхронизирующего момента. Каждое переключение обмоток по-прежнему вызывает поворот поля на угол $\alpha = \pi/2$, однако статические положения оси результирующей н.с. статора в состояниях (+1)(+2) — (+2)(-1) — ... смещены на угол $\pi/4$ по отношению к соответствующим положениям оси н.с. статора в состояниях (+1) — (+2) — ...

Восьмитактная коммутация (+1) — (+1)(+2) — (+2)(+2)(-1) — (-1)(-1)(-1)(-2) — (-2)(-2)(-2)(+1)... согласно циклограмме на рисунке 2.2 в) представляет собой комбинацию двух первых способов переключения обмоток. В этом случае нечетным тактам коммутации соответствует возбуждение одной из обмоток, а четным — обеих обмоток. С каждым переключением поле статора «поворачивается на угол $\pi/4$ и

имеет восемь статических положений в пределах одного оборота. Амплитуда основной волны результирующей н. с. статора изменяется от такта к такту в из-за включения различного числа обмоток шагового двигателя. Такая коммутация называется несимметричной.

2.2 Выбор управляемого двигателя

Для решений, не требующих повышенного момента двигателя, в качестве базового был выбран гибридный тип ШД. Двигатели этого типа выполняются постоянными магнитами, но, в сравнении с ШД других типов, с большим числом полюсов. Выбранный тип ШД оценивался по предельным механическим и динамическим характеристикам, позволяющим выбрать частоту управляющих импульсов, подаваемых на фазовые обмотки ШД. Как известно, предельные механические характеристики устанавливают зависимость допустимого момента сопротивления от частоты управляющих импульсов в установившемся режиме работы. С ростом частоты управляющих импульсов сказывается запаздывание в нарастании тока, и при некоторой предельной частоте момент двигателя становится равным нулю. Для различных типов ШД эта частота может достигать несколько килогерц.

Предельные динамические характеристики, представляющие зависимость частоты приемистости от момента сопротивления и момента инерции нагрузки, позволяют осуществить окончательный выбор частоты управляющих импульсов. Обычно для ШД частоту приемистости рекомендуется выбирать в пределах 100—1000 Гц. Таким образом, ШД должен обрабатывать как единичные импульсы управления, так и последовательность импульсов с частотой, определяемой предельными динамическими характеристиками. Экспериментально установлено, что на частотах управляющих импульсов от 100 до 400 Гц ШД может быть остановлен в пределах одного шага. Из-за инерционности двигателя на больших частотах такая остановка затруднительна. Поэтому при разработке СУ исполнительным устройством с точной обработкой положения и с малым моментом инерции была использована частота перемещения ротора ШД, находящаяся в диапазоне 100...400 Гц. Скорость вращения ШД определяется частотой управляющих импульсов в указанном диапазоне.

При выборе из существующих биполярной и униполярной конфигураций обмоток ШД предпочтение было отдано униполярной конфигурации. Это объясняется тем, что в решаемой задаче не требуется повышенный момент двигателя. Такое решение позволяет уменьшить габариты исполнительного устройства, работать с меньшими потерями, а также существенно упростить разрабатываемую схему СУ. Кроме того, униполярные ШД обычно имеют по одной обмотке в фазах и выполняются с выводом от середины каждой обмотки. Это позволяет изменять направление магнитного поля, создаваемого обмоткой, простым подключением половинок обмоток. В качестве недостатка следует отметить, что для униполярного ШД на выходе СУ необходимо иметь четыре ключевых устройства. Тем не менее в целом схема управления проще, чем СУ для биполярного двигателя.

					140400.2016.061.000 ИЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		28

Бесконтактные моментные электродвигатели серии ДБМ предназначены для работы в локально замкнутой (с датчиками положения ротора) или разомкнутой по углу системах регулирования и находят широкое применение в следующих областях:

быстродействующих программных или следящих системах и системах угловой стабилизации высокой точности с динамической ошибкой 1-3 угловых минуты и менее (обычно в безредукторном исполнении);

системах автоматического управления различного назначения в редукторном или безредукторном исполнении повышенной надежности и срока службы, в том числе работающих в особо тяжелых условиях эксплуатации;

исполнительных системах управления роботов и манипуляторов;

приводе лентопотяжных механизмов звуко- и видеозаписывающей аппаратуры, а также устройствах внешней памяти ЭВМ и т. п.;

в медицинском приборостроении (аппаратах искусственная почка, аппаратах принудительного кровообращения, перистальтических насосах, где предъявляются повышенные требования к уровню шума, уровню пульсаций вращающего момента и т. п.);

в микробиологической, химической и пищевой промышленности для передачи вращающего момента через размещаемую в воздушном зазоре между ротором и статором герметичную перегородку в замкнутую полость с агрессивной жидкостью или в вакуум;

товарах культурно-бытового назначения (стиральные машины, кухонные комбайны и т. п.);

приводах мотор-колес электрифицированных транспортных средств, а также в качестве генераторов, например в ветросиловых установках, для создания регулируемой нагрузки в вело-тренажерах и т.д.

Наиболее перспективным является использование шаговых (вентильных) двигателей в системах слежения. Они обладают рядом преимуществ:

- угол поворота ротора определяется числом импульсов, которые поданы на двигатель;

двигатель обеспечивает полный момент в режиме остановки (если обмотки запитаны);

прецизионное позиционирование и повторяемость. Эта ошибка не накапливается от шага к шагу;

возможность быстрого старта/остановки/реверсирования;

высокая надежность, связанная с отсутствием щеток, срок службы шагового двигателя фактически определяется сроком службы подшипников;

однозначная зависимость положения от входных импульсов обеспечивает позиционирование без обратной связи;

возможность получения очень низких скоростей вращения для нагрузки, присоединенной непосредственно к валу двигателя без промежуточного редуктора;

может быть перекрыт довольно большой диапазон скоростей, скорость пропорциональна частоте входных импульсов.

К недостаткам двигателя относятся;

									Лист
									29
Изм.	Лист	№ докум.	Подпись	Дата					

возможна потеря контроля положения ввиду работы без обратной связи
загружена работа на высоких скоростях;
потребление энергии не уменьшается даже без нагрузки;
относительно сложная схема управления.

Двигатель серии ДБМ 185-16-0,3-2 - это тихоходный двух обмоточный шаговый двигатель. Каждой обмоткой двигателя управляет свой усилитель мощности. Направление вращения ротора задается последовательностью намагничивания обмоток и их взаимного расположения.

С целью обеспечения максимально возможной статической добротности в роторах электродвигателей серии ДБМ использованы высококоэрцитивные постоянные магниты, как правило, из магнитных материалов на основе редкоземельных элементов (самария и неодима). Применение высококоэрцитивных магнитов решает также задачу обеспечения устойчивости электродвигателя к значительным перегрузкам по току и моменту и позволяет не предусматривать никаких специальных мер защиты их от размагничивания.

Применение высококоэрцитивных постоянных магнитов позволяет увеличить воздушный зазор между статором и ротором, что облегчает монтаж двигателя в механизм.

В двигателях серии ДБМ приняты два конструктивных исполнения статора.

Гладкий (беспазовый) статор с обмоткой, расположенной непосредственно в воздушном зазоре; это позволяет обеспечить отсутствие реактивного остаточного момента сопротивления и пульсации вращающего момента.

Пазовый статор с обмоткой, уложенной в пазы сердечника, позволяющий обеспечить более высокую статическую добротность.

Применяемый двигатель сконструирован с пазовым статором. [3]

Используемый двигатель обладает следующими техническими характеристиками:

- частота вращения при идеальном холостом ходе 290-320 об/мин;
- пусковой момент, не менее 49 Н·м;
- число пар полюсов 8;
- электромагнитная постоянная времени двигателя $\tau_m = 3 \cdot 10^{-3}$ с;
- сопротивление секции фазы постоянному току при температуре 20 °С 0,18-0,22 Ом;
- приведенные к фазе коэффициенты момента C_m 0,80-0,87 Н·м/А;
- момент инерции ротора $15 \cdot 10^{-3}$ кг·м²;
- момент сопротивления при обесточенных обмотках, не более 0,8 Н·м;
- предельно допустимое напряжение питания 60 В;
- предельно допустимая амплитуда тока в фазе (секции) обмотки статора, 220А;
- масса, не более 9,25 кг.

Соответственно, рабочая частота: 333 Гц. Один оборот ротора достигается 8 переключениями каждой из обмоток. [4]. Габариты и чертеж двигателя приведены на рисунке 2.3.

возможна потеря контроля положения ввиду работы без обратной связи
загружена работа на высоких скоростях;
потребление энергии не уменьшается даже без нагрузки;
относительно сложная схема управления.

Двигатель серии ДБМ 185-16-0,3-2 - это тихоходный двух обмоточный шаговый двигатель. Каждой обмоткой двигателя управляет свой усилитель мощности. Направление вращения ротора задается последовательностью намагничивания обмоток и их взаимного расположения.

С целью обеспечения максимально возможной статической добротности в роторах электродвигателей серии ДБМ использованы высококоэрцитивные постоянные магниты, как правило, из магнитных материалов на основе редкоземельных элементов (самария и неодима). Применение высококоэрцитивных магнитов решает также задачу обеспечения устойчивости электродвигателя к значительным перегрузкам по току и моменту и позволяет не предусматривать никаких специальных мер защиты их от размагничивания.

Применение высококоэрцитивных постоянных магнитов позволяет увеличить воздушный зазор между статором и ротором, что облегчает монтаж двигателя в механизм.

В двигателях серии ДБМ приняты два конструктивных исполнения статора.

Гладкий (беспазовый) статор с обмоткой, расположенной непосредственно в воздушном зазоре; это позволяет обеспечить отсутствие реактивного остаточного момента сопротивления и пульсации вращающего момента.

Пазовый статор с обмоткой, уложенной в пазы сердечника, позволяющий обеспечить более высокую статическую добротность.

Применяемый двигатель сконструирован с пазовым статором. [2]

Используемый двигатель обладает следующими техническими характеристиками:

- частота вращения при идеальном холостом ходе 290-320 об/мин;
- пусковой момент, не менее 49 Н·м;
- число пар полюсов 8;
- электромагнитная постоянная времени двигателя $\tau_m = 3 \cdot 10^{-3}$ с;
- сопротивление секции фазы постоянному току при температуре 20 °С 0,18-0,22 Ом;
- приведенные к фазе коэффициенты момента C_m 0,80-0,87 Н·м/А;
- момент инерции ротора $15 \cdot 10^{-3}$ кг·м²;
- момент сопротивления при обесточенных обмотках, не более 0,8 Н·м;
- предельно допустимое напряжение питания 60 В;

- предельно допустимая амплитуда тока в фазе (секции) обмотки статора, 220А;
- масса, не более 9,25 кг;

Соответственно, рабочая частота: 333 Гц. Один оборот ротора достигается 8 переключениями каждой из обмоток. [3]. Габариты и чертеж двигателя приведены на рисунке 2.3.

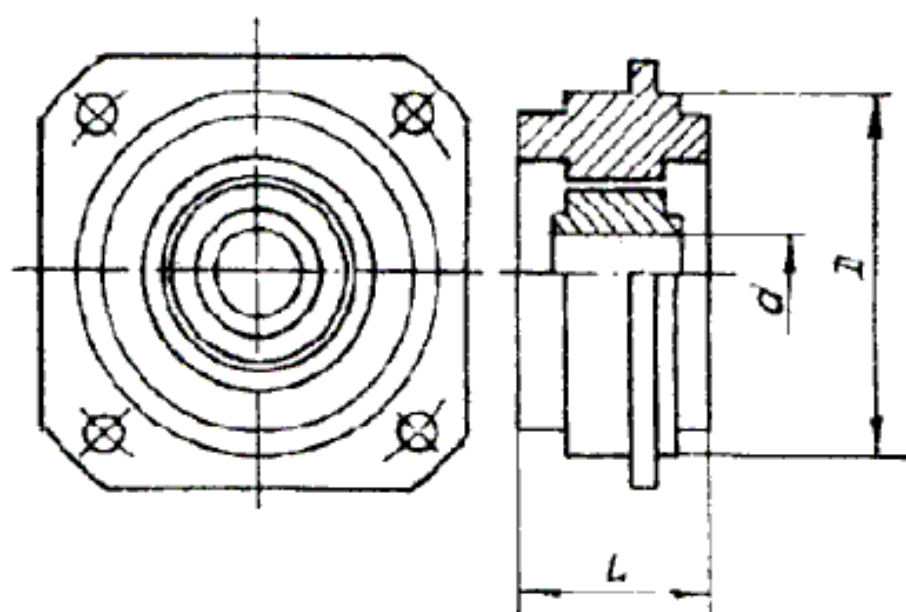


Рисунок 2.3 — Двигатель ДБМ с пазовым ротором

Выбранной модели ДБМ 185-16-0,3-2 соответствуют: Наружный диаметр статора $D = 185$ мм. Внутренний диаметр ротора $d = 66$ мм. Осевая длина $L = 90,5$ мм [4].

2.3 Управление шаговым двигателем серии ДБМ

При питании обмоток статора системой синусоидальных напряжений с необходимым временным сдвигом имеет место режим синхронного двигателя. Если на обмотку статора подавать систему разнополярных или однополярных импульсов напряжения, двигатель становится шаговым. При наличии обратной связи по положению ротора двигатель превращается в бесколлекторный аналог двигателя постоянного тока с возбуждением от постоянных магнитов, сохраняя присущий последнему характер механических и регулировочных характеристик, широкий диапазон частоты вращения и т.д. Этот режим называют также режимом вентильного двигателя.

Существует несколько способов управления фазами двигателя.

Первый способ обеспечивается попеременной коммутации фаз, при этом они не перекрываются, в один момент времени включена только одна фаза. Этот способ называют «one phase on» full step или wave drive mode. Точки равновесия ротора для каждого шага совпадают с «естественными» точками равновесия ротора у незапитанного двигателя. Недостатком этого способа управления является то, что для биполярного двигателя в один и тот же момент времени используется 50% обмоток, а для униполярного - только 25%. Это означает, что в таком режиме не может быть получен полный момент.

Второй способ - управление фазами с перекрытием: две фазы включены в одно и то же время. Его называют «two-phase-on» full step или просто full step mode. При этом способе управления ротор фиксируется в промежуточных позициях

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		31

между полюсами статора (рисунок 2.4) и обеспечивается примерно на 40% больший момент, чем в случае одной включенной фазы. Этот способ управления обеспечивает такой же угол шага, как и первый способ, но положение точек равновесия ротора смещено на пол-шага.

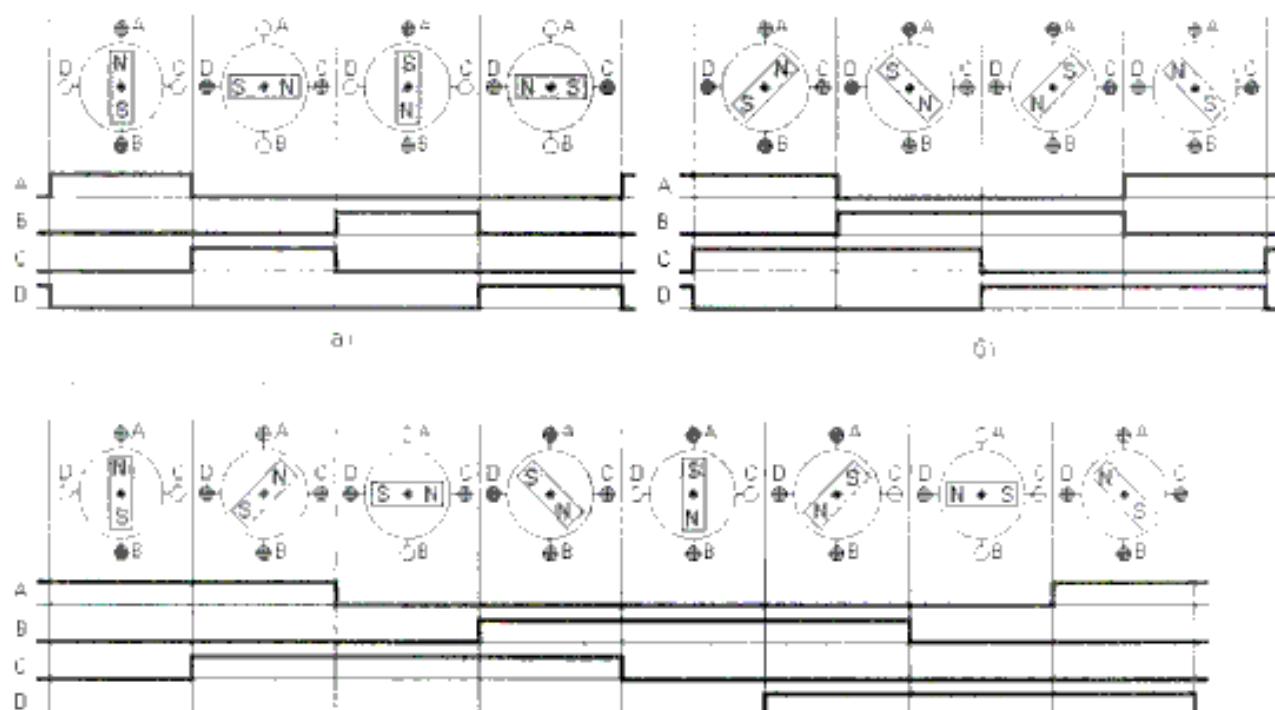


Рисунок 2.4 — Способы управления шаговым двигателем:

- а) — полношаговый режим — включена одна фаза; б) — полношаговый режим, включены две фазы; в) — полушаговый режим

Третий способ является комбинацией первых двух и называется полушаговым режимом, «one and two-phase-on» half step или просто half step mode, когда двигатель делает шаг в половину основного. Этот метод управления достаточно распространен, так как двигатель с меньшим шагом стоит дороже и очень заманчиво получить от 100-шагового двигателя 200 шагов на оборот. Каждый второй шаг запитана лишь одна фаза, а в остальных случаях запитаны две. В результате угловое перемещение ротора составляет половину угла шага для первых двух способов управления. Кроме уменьшения размера шага этот способ управления позволяет частично избавиться от явления резонанса. Полушаговый режим обычно не позволяет получить полный момент, хотя наиболее совершенные драйверы реализуют модифицированный полушаговый режим, в котором двигатель обеспечивает практически полный момент, при этом рассеиваемая мощность не превышает номинальной.

Рассмотренная временная диаграмма содержит работу шагового двигателя. В случае подключения к валу двигателя датчиков положения ротора, двигатель переходит в вентильный режим.

2.4 Применение ПЛИС для управления шаговым двигателем

В современных системах автоматического управления в качестве исполнительных механизмов часто применяют шаговые двигатели, называемые в мировой технической литературе вентильно-индукторными, управляемыми вентильными реактивными, коммутлируемыми реактивными с переменным магнитным сопротивлением, электронно-коммутлируемыми, бесконтактными реактивными и т. д. Ротор шагового двигателя поворачивается дискретно после поступления каждого импульса с выхода системы управления на входы фазовых обмоток двигателя, либо остается неподвижным, когда импульсы не поступают.

Благодаря возможности управления перемещением ротора на любой угол шаговые двигатели могут быть успешно использованы при конструировании исполнительных систем дискретного типа, например регулирующего клапана.

Целью настоящего дипломного проекта является разработка схемы формирования сигналов управления исполнительным механизмом на базе шагового электродвигателя.

Для управления шаговым двигателем (ШД) используют устройства, выполненные на основе специализированных или универсальных микроконтроллеров, полузаказных БИС. Такие устройства легко программируются, потребляют мало энергии и без сложностей включаются в схему. Анализ известных технических решений показал, что для большинства типов слаботочных электродвигателей, в том числе и ШД, целесообразным является проектирование системы управления (СУ) ими на основе полузаказных БИС. К таким БИС можно отнести базовые матричные кристаллы серий 1515, 1537, 1578, 1589, 5501, а также программируемые логические интегральные схемы (ПЛИС).

ПЛИС характеризуются сокращенным проектнотехнологическим циклом, быстрым макетированием и реконфигурированием, удобством программирования пользователем, а также большим числом выводов, настраиваемой стыковкой входов и выходов с практически любым стандартом логических уровней и способностью заменить собой несколько микросхем, включая микроконтроллер, регистры портов, интерфейс и т. п. По мере снижения удельной стоимости ПЛИС (в расчете на ячейку) и роста количества ячеек на кристалле программируемая логика активно вторгается в области, ранее традиционно занимаемые микроконтроллерами и специализированными ИС. Учет архитектурных особенностей и (в ряде случаев) преимуществ ПЛИС перед микропроцессорами позволяет выполнять конкурентоспособные изделия на микросхемах программируемой логики [1].

Производители предлагают разнообразные ПЛИС [2]: программируемые простые и сложные логические устройства (SPLD и CPLD), программируемые пользователем базовые матричные кристаллы (FPGA). Они обладают специфическими характеристиками и оптимальным сочетанием таких параметров как быстродействие, энергопотребление, уровень интеграции, стоимость и подходят как для крупносерийного, так и для мелкосерийного производства различных по назначению устройств.

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		33

Для получения оптимальных параметров проектируемой СУ на базе программируемой логики использовалась САПР System Designer ver. 4.2, позволяющая реализовать проект на ПЛИС фирмы Atmel. Такая САПР обеспечивает автоматическую установку приоритета проектирования (минимальное количество ячеек) и оптимизацию программ на его основе, эффективное использование площади кристалла, а также быструю компиляцию и рекомпиляцию проекта. Система проектирования имеет полный цикл и поддерживает сквозной процесс от ввода и контроля до программирования микросхем. Она представляет собой архитектурно независимую среду проектирования, легко приспособливающуюся к конкретным проектным задачам. Файл описания разработанного проекта был создан в текстовом редакторе пакета.

При описании алгоритма функционирования разработанного устройства учитывалась последовательность включения и выключения силовых ключей на выходе СУ, тем самым обеспечивалась реализация соответствующих способов управления фазами ШД (полношагового с включением одной фазы, полношагового с включением двух фаз или полушагового режимов).

На основе созданных при компиляции выходных файлов после отладки компонентов схемы осуществлено моделирование работы проекта с помощью подсистемы Simulator пакета System Designer ver. 4.2. Компиляция выполнена с учетом заданных требований: обеспечение временных характеристик проектов; оптимизация используемых ресурсов ПЛИС. В результате компиляции созданы файлы для программирования и конфигурирования ПЛИС AT40KAL, позволяющие использовать полношаговые и полушаговые режимы управления фазами ШД.

При выборе конкретного типа, серии и семейства ПЛИС разработчики обычно руководствуются сложностью, выраженной в количестве логических элементов, а также доступностью средств разработки.

Цена ПЛИС пропорциональна ее емкости, а значит, для реализации разрабатываемого устройства необходимо подбирать ПЛИС с оптимальной емкостью.

При компиляции проектов была выбрана ПЛИС AT40K05AL, устройство EPM7032SLC44-5, имеющая 32 логических элемента. При выборе ПЛИС типа CPLD или FPGA предпочтение было отдано первому типу. Это связано с тем, что ПЛИС типа CPLD обладают более широкими функциональными возможностями, большим числом блоков ввода/вывода и при реализации устройства не требуют большого объема памяти. Кроме того, микросхемы CPLD имеют время задержки короче и более предсказуемое, чем FPGA. Используемое семейство AT40KAL является базовым для всех выпускаемых фирмой Atmel ПЛИС CPLD. В ПЛИС AT40K05AL, устройство EPM7032SLC44-5 реализуется в соответствии с программным описанием любая из трех названных схем управления ШД. Процент использования выбранной ПЛИС (при обеспечении полношагового с включением одной фазы, полношагового с включением двух фаз или полушагового режимов) составил соответственно 81, 78 и 84.

Все выводы микросхемы снабжены внутренними защитными диодами, т. е. каждая полуобмотка ШД зашунтирована диодом, что устраняет коммутационные

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		34

выбросы напряжения. Транзисторные ключи обеспечивают усиление сигналов и защиту выводов ПЛИС от возможного проникновения напряжения питания ШД.

Реверсивное управление двигателем задается логическим уровнем сигналов, коммутацией.

Примером конкретной реализации разработанной СУ ШД является схема управления электроприводом регулирующего клапана на ПЛИС [7], позволяющая обеспечить заданный перепад давления в схеме пульта гидроиспытаний.

Выводы по разделу два

В разделе приводятся общие сведения об устройстве и принципе работы шаговых двигателей.

При выборе из существующих конфигураций ШД предпочтение было отдано гибриднему двигателю униполярной конфигурации. Это объясняется тем, что в решаемой задаче не требуется повышенный момент двигателя. Такое решение позволяет уменьшить габариты исполнительного устройства, работать с меньшими потерями, а также существенно упростить разрабатываемую схему СУ.

Для получения оптимальных параметров проектируемой СУ на базе программируемой логики решено использовать САПР System Designer ver. 4.2, позволяющая реализовать проект на ПЛИС фирмы Atmel. Такая САПР обеспечивает автоматическую установку приоритета проектирования (минимальное количество ячеек) и оптимизацию программ на его основе, эффективное использование площади кристалла, а также быструю компиляцию и рекомпиляцию проекта.

Разрабатываемая система управления ШД на ПЛИС может быть использована в различных по назначению устройствах безынерционных и точных приводов в специальных робототехнических комплексах, системах судовой и авиационной автоматики, медицинской технике, а также в бытовой технике различной сложности.

3 СПЕЦИАЛЬНЫЙ РАЗДЕЛ

3.1 Проектирование структурной схемы системы управления

Структурная схема системы управления шаговым двигателем на базе ПЛИС AT40KAL показана на рисунке 3.1.

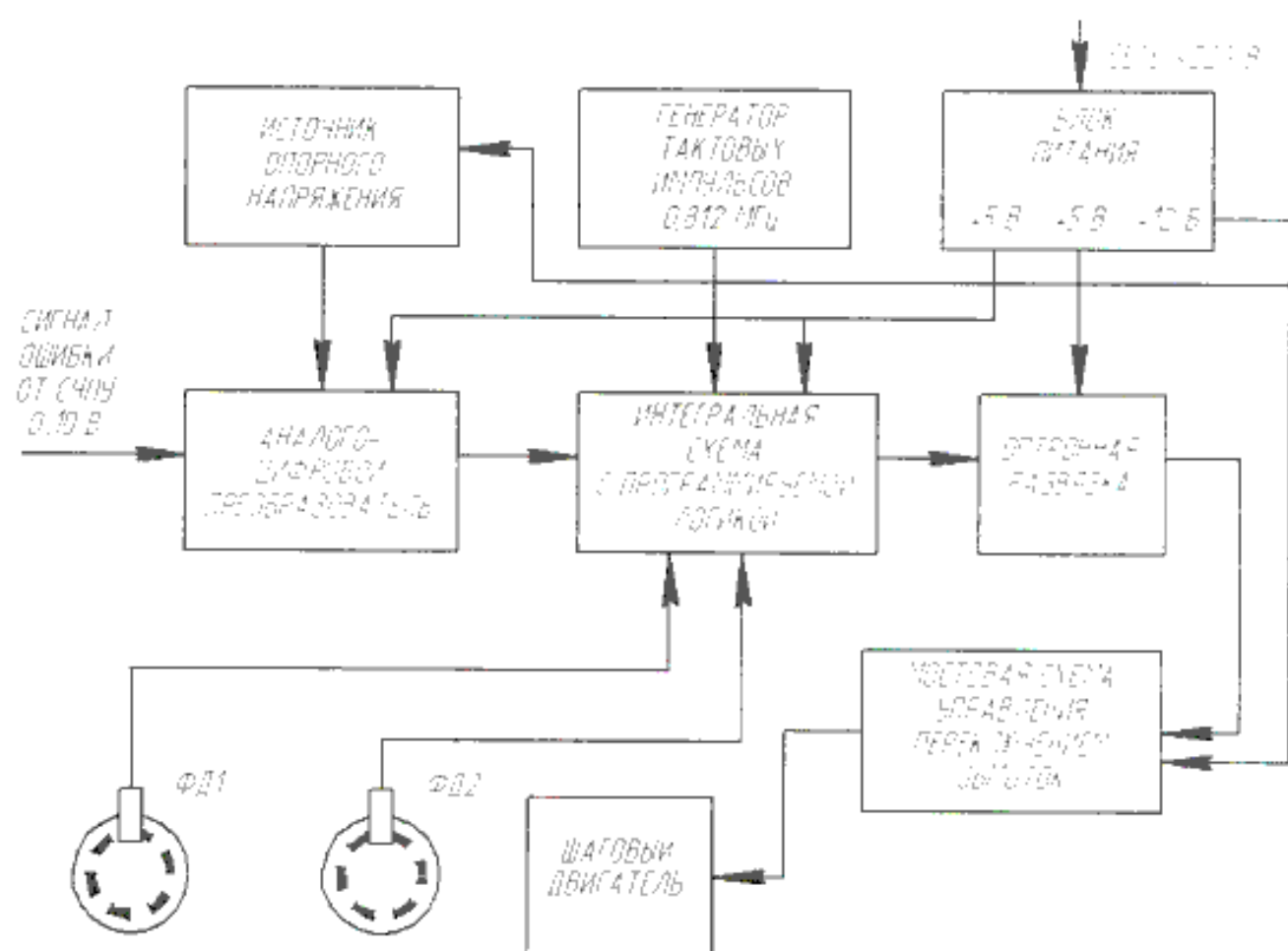


Рисунок 3.1 — Структурная схема системы управления шаговым двигателем

Для организации взаимодействия цифровой схемы, усилитель-преобразователь дополнен следующими функциональными элементами:

- аналого-цифровой преобразователь;
- генератор тактовых импульсов;
- программно-логическая интегральная схема (ПЛИС);
- мостовая схема управления переключением обмоток ШД.

Другие элементы системы остались без изменения, но они приведены, т. к. тоже влияют на функционирование всей системы и используются в дальнейшем для сопряжения с вводимой цифровой частью и расчета быстродействия.

Уровни токов и напряжений в рассмотренных элементах выделяют следующие:

- сигнала «Ошибка от СЧПУ», напряжение $U < 10\text{В}$;

Изм.	Лист	№ докум.	Подпись	Дата

- импульсный усилитель, выходное напряжение $U > 0,3В$; $U < 2,6В$;
- оптронная развязка, входное напряжение $1В < U < 30-100В$;
- оптронная развязка, входной ток $I_{\text{вх}} = 20\text{мА}$.

3.2 Устройство ПЛИС AT40KAL

Программируемые логические интегральные схемы с архитектурой FPGA (Field Programmable Gate Array) организованы в виде массива логических ячеек, состоящих из блоков комбинаторной логики (Look-Up Table, LUT) и триггеров. В исходном состоянии FPGA не реализует какой-то конкретной схемы, а функциональность приобретает после операции программирования – занесения в специальную конфигурационную память значений, управляющих цифровыми ключами, соединяющими отдельные элементы на кристалле FPGA. Также конфигурационная память управляет логическими генераторами, мультиплексорами и другими цифровыми узлами, которые в разных схемах могут выполнять различные функции.

Комбинаторная логика реализуется в таких ячейках путем заполнения таблиц истинности, представляющих собой модули памяти. Комбинация состояний на входах для такого модуля является адресом ячейки, хранящей требуемое значение выхода. Такой подход позволяет реализовать произвольную логическую функцию, поскольку независимо от сложности схемы все возможные состояния выхода записываются в память. Эта память представляет собой ОЗУ, и ее содержимое записывается в процессе загрузки конфигурации FPGA.

Логические ячейки организованы в ПЛИС в виде прямоугольной матрицы. Входы и выходы ячеек подключаются к программируемым трассировочным линиям, проложенным в вертикальном и горизонтальном направлениях. Отдельные фрагменты линий коммутируются с помощью цифровых ключей. Это позволяет соединить любые ячейки FPGA, замыкая соответствующие ключи. Состояния ключей (замкнуты или разомкнуты) записываются в соответствующие разделы конфигурационной памяти. В процессе проектирования разработчику не требуется задавать состояния ключей и таблиц истинности непосредственно, поскольку это выполняет САПР ПЛИС на основе анализа введенной схемы. Более того, формат конфигурационного потока, загружаемого в FPGA, является закрытым, а его формирование производится исключительно программными средствами компании-производителя.

Логическая ячейка – не единственный аппаратный компонент в FPGA, на рисунке 3.2 можно также увидеть блочную память и приемопередатчики. Первый из компонентов часто выступает как органичное дополнение блоков цифровой обработки сигналов, поскольку для многих алгоритмов требуется хранение обрабатываемых данных или дополнительных коэффициентов. Это обычная статическая память, аналогичная кэш-памяти процессоров. По аналогии с блоками цифровой обработки, появление такой памяти связано с тем, что реализовать ее с помощью программируемых ячеек возможно, но очень накладно – характеристики такого блока будут далеки от оптимальных, а расход программируемых ресурсов чрезвычайно высок. Объем блоков памяти, однако, не

					140400.2016.061.000 ПЗ	Лист
Изм.	Дист.	№ докум.	Подпись	Дата		37

так велик и составляет до 85 Мбит (хотя в FPGA приемлемой стоимости можно ожидать скорее сотен килобитов). Это означает, что в задачах, требующих больших объемов памяти, FPGA не могут предложить каких-либо выгод. Вообще говоря, с помощью программируемых ячеек можно подключить к кристаллу и внешнюю память DDR2 или DDR3, но в этом случае количество подключаемых модулей ограничено числом внешних выводов FPGA.

Компоненты другого типа также призваны выполнять функцию, чрезвычайно неудобную для реализации в программируемых ячейках – это скоростные последовательные приемопередатчики, способные передавать данные со скоростями до десятков гигабитов в секунду. С их помощью можно реализовать такие интерфейсы, как SATA, Gigabit Ethernet, HyperTransport, PCI Express, Infiniband и др. Особенностью таких модулей является практически полная невозможность представить их в виде только цифровых компонентов, поскольку для обеспечения высоких частот передачи требуются и аналоговые компоненты.

На рисунке 3.2 схематично показано соотношение производительности основных компонентов FPGA. Если рассматривать микросхемы предельного на сегодня объема, то в такое устройство можно ввести поток данных с суммарной пропускной способностью порядка 500-1000 Гбит/с, что зависит от числа выводов, которые будут для этого использованы (предельная частота обмена по обычным линиям ввода-вывода на сегодня составляет 1,4 Гбит/с). Массив блоков цифровой обработки способен на пике производительности обеспечить более 5 ТМАС/с (Terra Multiply and Accumulate, умножение с накоплением на целочисленных операндах), и с учетом разрядности умножителей и аккумуляторов на кристалле каждую секунду образуется до 30 Тбайт. Приемопередатчики способны «отвести» до 2 Тбит/с, и в итоге внутри кристалла оказывается примерно в 100 раз больше данных, чем их можно доставить или забрать. Положение не слишком спасает и память – на кристалле ее немного, а возможности подключения внешней памяти ограничены числом выводов корпуса (можно отметить, правда, что двух- и четырехканальная память для FPGA не представляет особой проблемы – контроллеры памяти выполняются в желаемом количестве путем программирования части ячеек).

Чтобы в ПЛИС заработала требуемая цифровая схема мало того, что нужно сконфигурировать имеющиеся логические блоки особым образом, еще нужно создать, запрограммировать связи между логическими блоками. Для этого в ПЛИС имеются специальные конфигурируемые коммутаторы. В англоязычной документации встречаются следующие термины: FPGA Routing Architecture и Programmable Routing Interconnect. Это все об этом, о программируемых связях между логическими блоками. Известно две основных методики построения ПЛИС по типу архитектуры связей: островная и иерархическая.

Островная ПЛИС называется так потому, что конфигурируемые блоки все равны между собой и находятся, как острова в океане, между узлами коммутации и линиями связи.

На рисунке 3.3 обозначаются СВ – Connection Box и СВ – Switch Box. В сущности это программируемые мультиплексоры, подключающие тот или иной CLB к другому CLB через цепочки проводов в ПЛИС.

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		38

Это island-style FPGA или mesh-based FPGA.

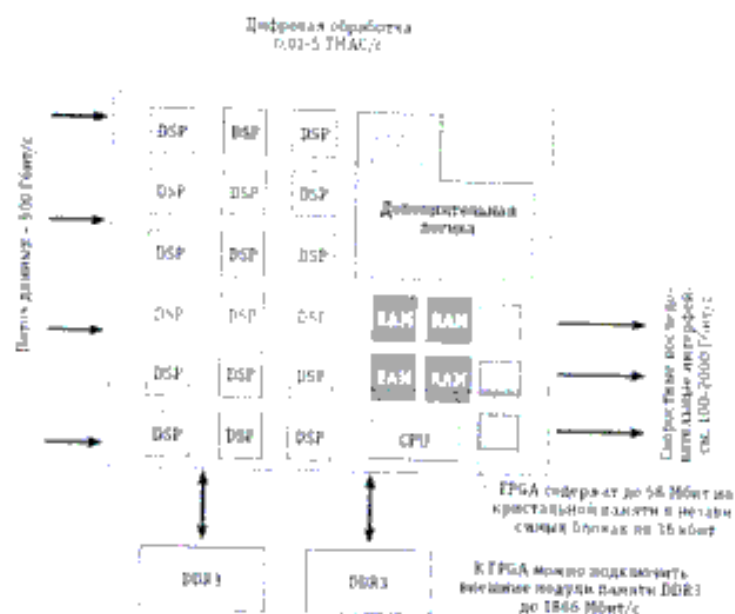


Рисунок 3.2 — Соотношение производительности основных компонентов ПЛИС

Второй известный тип ПЛИС – это иерархические ПЛИС. Здесь идет расчет на то, что в схеме всегда есть участки которые взаимодействуют друг с другом более тесно, чем с отдаленными модулями проекта. Схема иерархической ПЛИС показана на рисунке 3.4

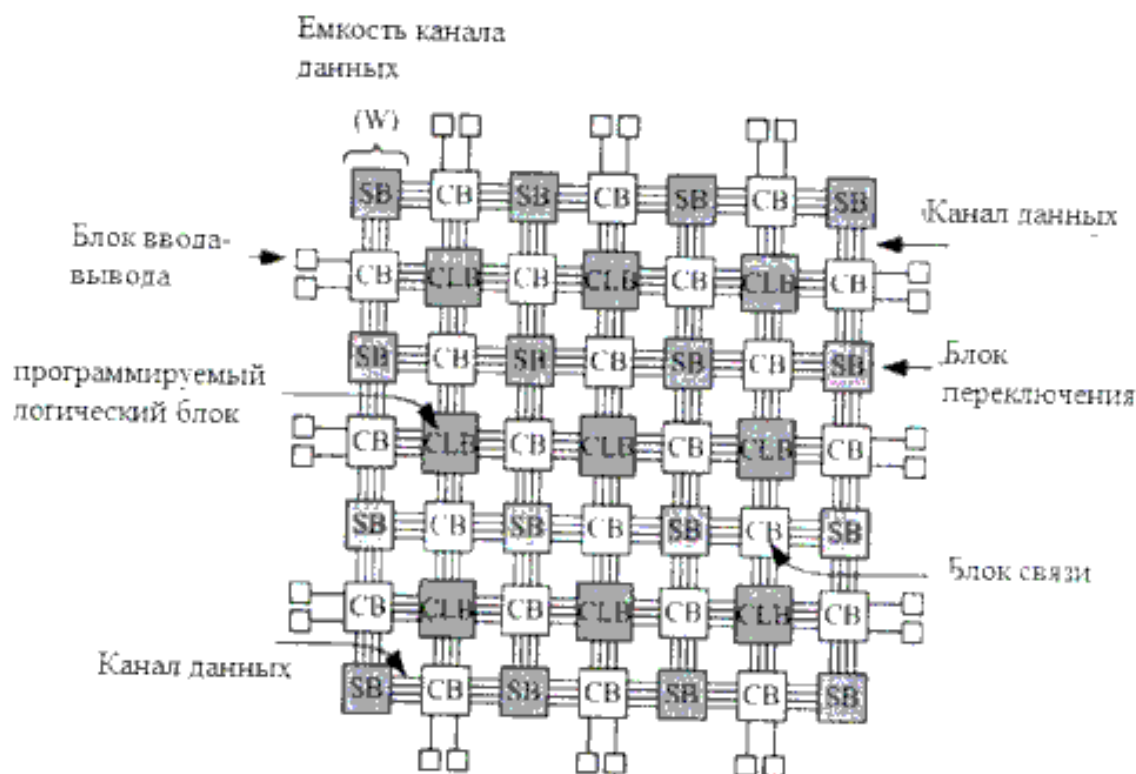


Рисунок 3.3 — Островная ПЛИС

Изм.	Лист	№ докум.	Подпись	Дата

140400.2016.061.000 ПЗ

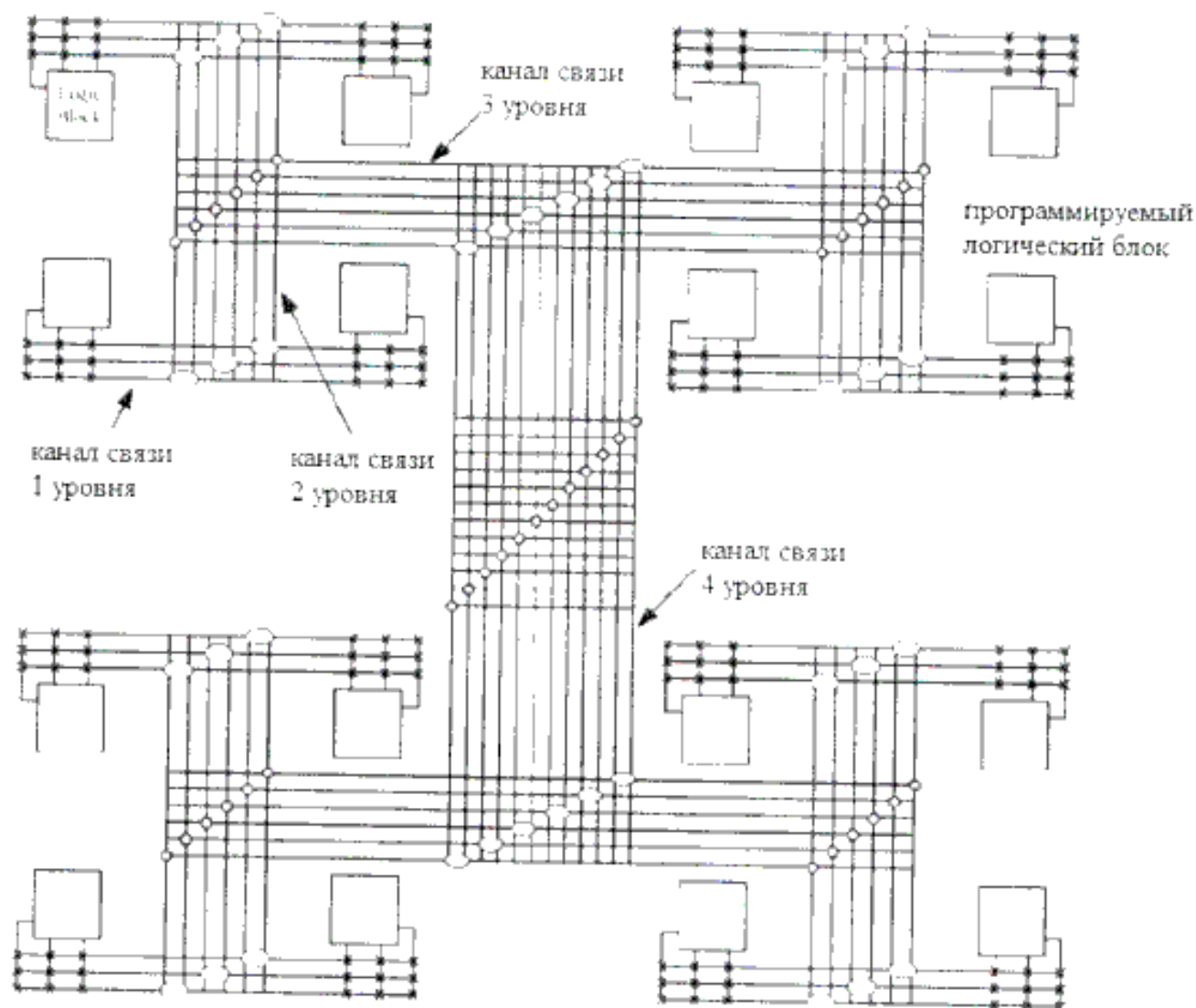


Рисунок 3.4 — Иерархическая ПЛИС

Здесь близлежащие CLB соединить довольно просто, нужно не много коммутаторов и получающиеся связи работают быстро. Вот если нужен более крупный блок вычислителей, то сигнал должен выйти на более высокий уровень иерархии и потом зайти вглубь в соседнюю «комнату».

Нельзя сказать, что это существенно хуже, чем island-style. Просто каждый метод имеет свои плюсы и минусы.

3.3 Структура ячейки ПЛИС

Конфигурируемый логический блок (ячейка) – это базовый элемент в ПЛИС, в нем может быть выполнена какая-то простая логическая функция или реализовано хранение результата вычисления в регистрах (триггерах).

Сложность и структура конфигурируемого логического блока (CLB) определяется производителем. Теоретически, конфигурируемый логический блок

Изм.	Лист	№ докум.	Подпись	Дата

может быть, например, очень простым, просто как отдельный транзистор. Или он может быть очень сложным, как целый процессор. Это крайние точки реализации.

В первом случае потребуется огромное число программируемых связей, чтобы потом из отдельных транзисторов собрать требуемую схему. Во втором случае связей может быть нужно и не так много, но теряется гибкость проектирования пользовательской схемы.

Именно поэтому конфигурируемый блок обычно представляет из себя что-то среднее: он обычно достаточно сложен, чтобы можно было бы зашить туда некоторую функцию, но и довольно мал, чтобы разместить множество таких блоков внутри ПЛИС и чтобы была возможность связать их в единую схему.

Таким образом, выбор структуры конфигурируемого логического блока производителем ПЛИС – это всегда поиск компромисса по площади кристалла, по быстродействию, энергопотреблению и так далее. Функциональная схема ячейки ПЛИС AT40KAL показана на рисунке 3.5

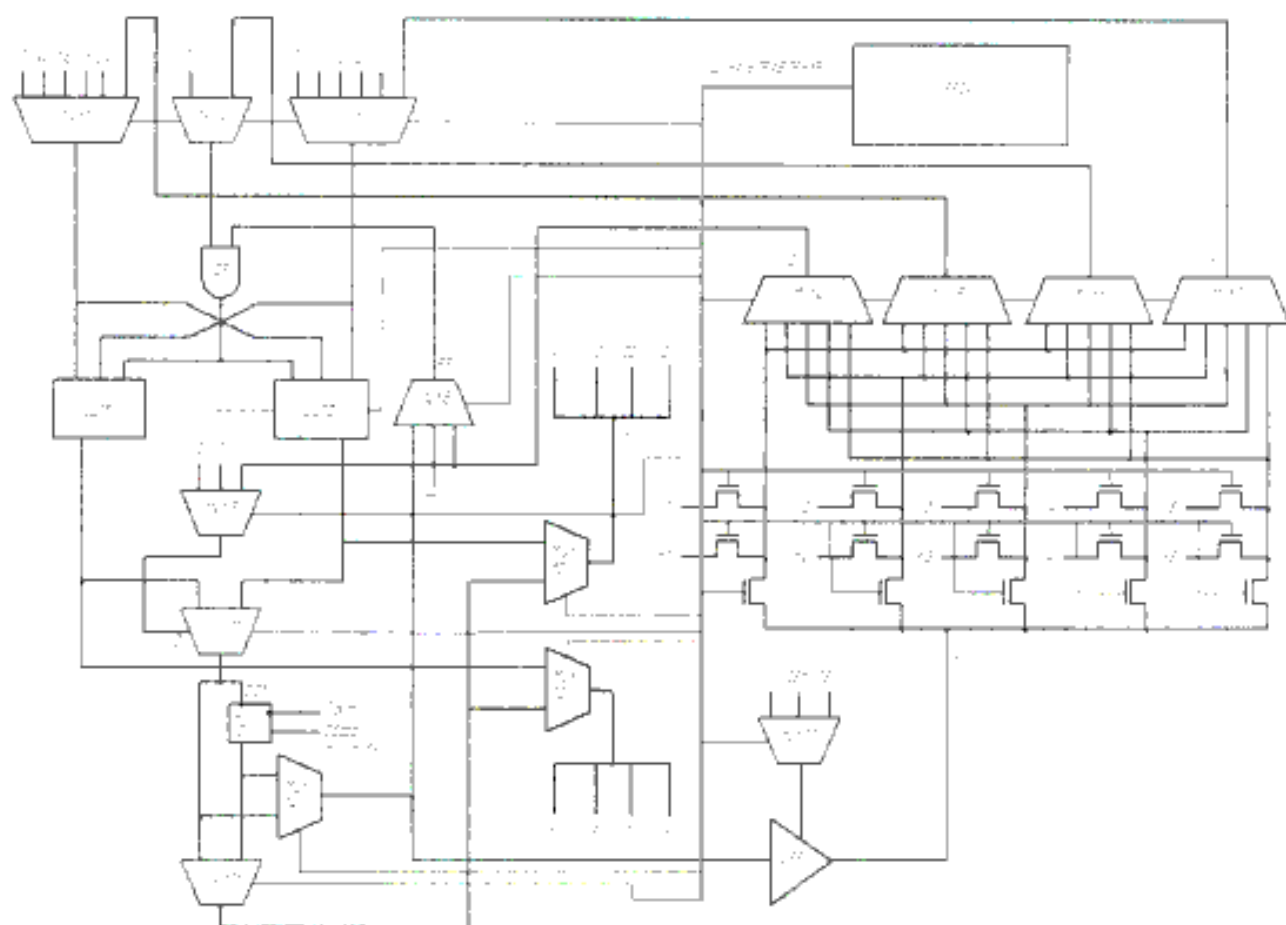


Рисунок 3.5 — Функциональная схема ячейки ПЛИС:

MUX1..MUX13 — мультиплексоры; LUT1, LUT2 - табличные преобразователи; X - Диагональный формирователь шины;

Y - Ортогональный формирователь шины; Z, W - шины внешних данных

FB - обратная связь; V1..V5 - локальная шина данных (столбцы); H1..H5 - локальная шина данных (строки); FPGA - устройство управления; DD1 — тритер; OPR - операционный блок.

Ячейка ПЛИС AT40KAL состоит из двух базовых логических элементов. В англоязычной литературе это Basic Logic Element (BLE) или просто Logic Element (LE). В ПЛИС обычно используются так называемые LUT-based базовые логические элементы.

LUT – это Look-Up Table, таблица преобразования. На рисунке 3.6 показан четырехбитный LUT в составе базового логического блока. Здесь четырехбитному числу на входе логической функции ставится в соответствие однобитный результат. Красные квадраты на рисунке 3.6 обозначают программируемый элемент, регистр – это та память, где хранится прошивка для ПЛИС. Видно, что для конфигурации 4-х битного LUT требуется 16 конфигурационных регистра. Содержимое этих регистров определяют логическую функцию, реализованную внутри базового логического элемента.

Еще один конфигурационный регистр определяет нужно ли на выход базового логического элемента выдавать прямо значение с LUT или нужно выдать зафиксированное в D-триггере значение с LUT. Фиксация и хранение данных в цифровых схемах нужна практически в любом проекте.

Рассматривая рисунок 3.6 как пример традиционного базового логического элемента приходим к выводу, что внутри современного кристалла ПЛИС (SRAM-based) заложена избыточность. Конфигурационные регистры прямо не доступны для использования в цифровом проекте. Они только служат для формирования пользовательской функции. Для одного D-триггера в пользовательском проекте требуется более 16 (иногда много больше) триггеров для хранения конфигурации ПЛИС.

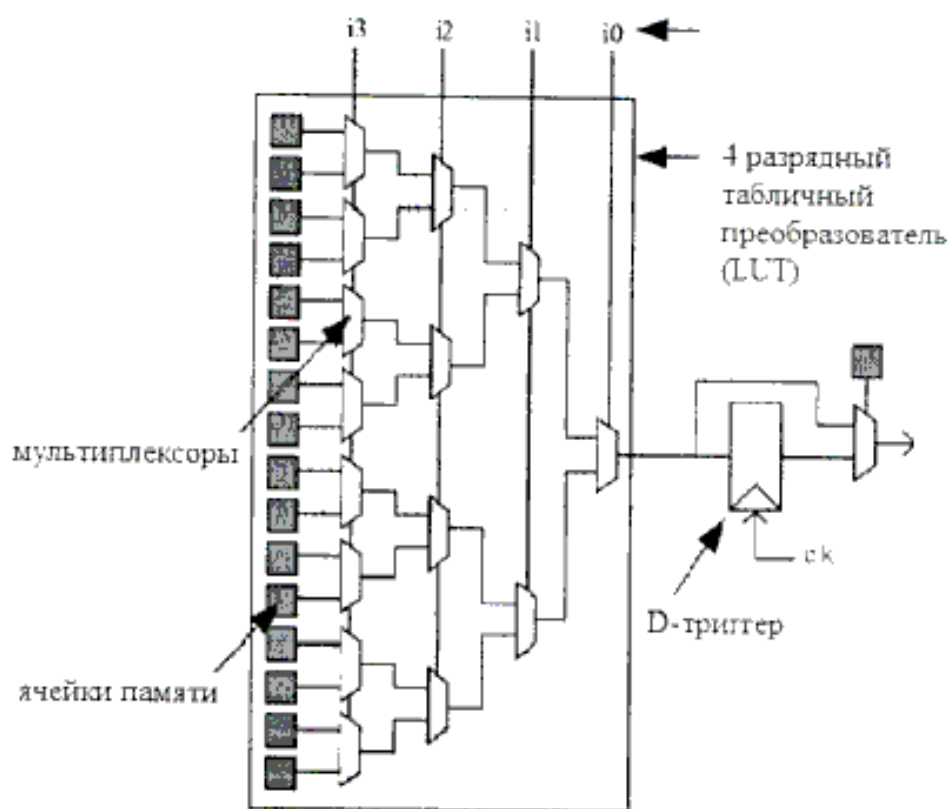


Рисунок 3.6 — Устройство табличного преобразователя LUT

3.4 Описание системы ввода-вывода

Основным отличительным свойством семейства ПЛИС AT40KAl. является поддержка широкого спектра стандартов сигналов ввода-вывода, что позволяет сопрягать AT40KAl с большинством быстродействующих элементов памяти и шинных интерфейсов. На рисунке 3.7 представлена структурная схема блока ввода-вывода.

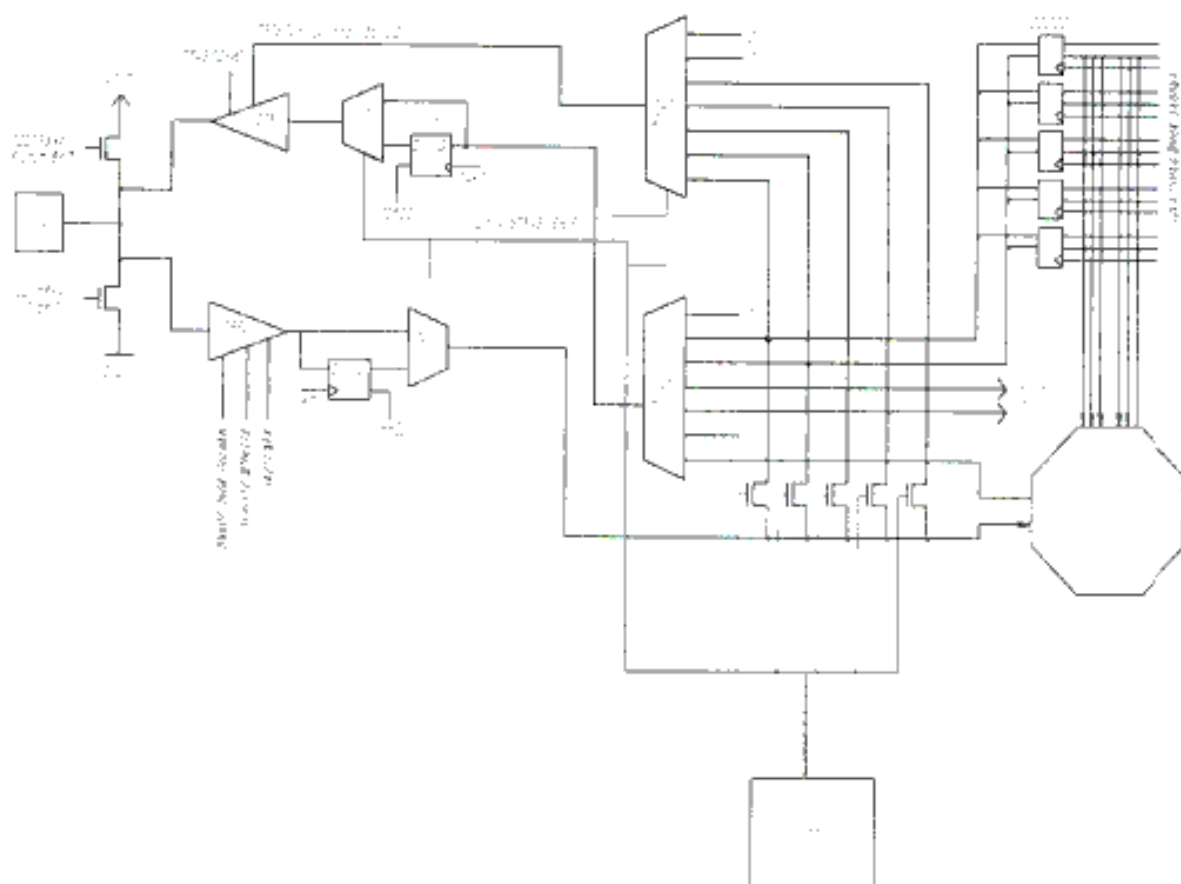


Рисунок 3.7 — Функциональная схема блока ввода-вывода:
MUX1..MUX4 — мультиплексоры; CELL1..CELL3 - ячейки ПЛИС;
DD1..DD2 — триггеры; OPR1, OPR2 - операционные блоки;
DD3..DD17 - буферы данных; IOD - система управления вводом-выводом;
I/O - вывод интегральной схемы.

ПЛИС содержит три запоминающих элемента, функционирующих либо как D-триггеры, либо как триггеры-защелки. Каждый блок ввода-вывода имеет входной сигнал синхронизации (ТАКТ), распределенный на три триггера и независимые для каждого триггера сигналы разрешения тактирования.

Специальные элементы включают:

- программируемый резистор, соединенный с шиной земли pull-down (подтяжка к 0);
- программируемый резистор, соединенный с шиной питания pull-up (подтяжка к $U_{пит}$);

- маломощная схема удержания последнего состояния (DD1, DD2);
- цепи защиты от перенапряжения и электростатического разряда;
- цепи выбора типа логики.

На все триггеры заведен сигнал Сброса/Установки (СБРОС). Для каждого триггера этот сигнал может быть сконфигурирован независимо, как синхронная установка (Set), синхронный сброс (Reset), асинхронная предустановка (Preset) или асинхронный сброс (Clear).

Входные и выходные буферы, а также все управляющие сигналы в БВВ допускают независимый выбор полярности. Данное свойство не отображено на блок схеме БВВ, но контролируется программой проектирования.

Все контакты защищены от повреждения электростатическим разрядом и от всплесков перенапряжения. Реализованы две формы защиты от перенапряжения, одна допускает 5 В совместимость, а другая нет. Для случая 5 В совместимости структура, подобная диоду Зенера, закорачивает на землю контакт, когда напряжение на нем возрастает приблизительно до 6.5 В. В случае, когда требуется 3.3 В PCI совместимость, обычные диоды ограничения могут подсоединяться к источнику питания выходных каскадов, V_{CCO}. Тип защиты от перенапряжения может выбираться независимо для каждого контакта.

По выбору, к каждому контакту может подключаться:

- резистор, соединенный с шиной земли (pull-down).
- резистор, соединенный с шиной питания (pull-up).
- маломощная схема удержания последнего состояния week-keeper (ЗАДЕРЖКА). До начала процесса конфигурирования микросхемы все выводы, не задействованные в этом процессе, принудительно переводятся в состояние высокого импеданса. Резисторы pull-down и элементы week-keeper неактивны, а резисторы pull-up можно активировать.

Активация резисторов pull-up перед конфигурацией управляется внутренними глобальными линиями через управляющие режимные контакты. Если резисторы pull-up не активны, то выводы находятся в состоянии неопределенного потенциала. Если в проекте необходимо иметь определенные логические уровни до начала процесса конфигурирования, то нужно использовать внешние резисторы.

Все БВВ микросхемы AT40KAL совместимы со стандартом периферийного сканирования IEEE 149.1.

Входной сигнал БВВ может быть протрассирован либо непосредственно к блокам внутренней логики, либо через входной триггер.

Кроме того, между выходом буфера и D-входом триггера может быть подключен элемент задержки, исключающий время удержания для случая контакт-контакт. Данная задержка согласована с внутренней задержкой распределения сигнала тактирования FPGA, что гарантирует нулевое время удержания для распределения сигналов контакт-контакт.

Каждый входной буфер может быть сконфигурирован таким образом, чтобы удовлетворять одному из стандартов ввода-вывода, поддерживаемых устройством.

В некоторых из этих стандартов входной буфер использует напряжение порогового уровня (AREF), формируемое пользователем. Использование

											Лист
Изм.	Лист	№ докум.	Подпись	Дата	140400.2016.061.000 ПЗ						44

напряжений АЕР позволяет ввести в устройство принудительные опорные величины для различных, близких по используемым логическим уровням стандартов.

К каждому входу после окончания процесса конфигурирования могут быть, по выбору, подключены внутренние резисторы (либо pull-up, либо pull-down).

Сопrotивление этих резисторов лежит в пределах 50...150кОм.

Выходной сигнал проходит через буфер с тремя состояниями, выход которого соединен непосредственно с выводом микросхемы. Сигнал может быть протрассирован на вход буфера с тремя состояниями либо непосредственно от внутренней логической структуры мультиплексорами MUX1, MUX2, либо через выходной триггер блока ввода-вывода.

Управление буфером с тремя состояниями также может осуществляться либо непосредственно от внутренней логической структуры, либо через специальный триггер БВВ, который позволяет создать синхронное управление сигналом разрешения и запрещения для буфера с тремя состояниями. Каждый такой выходной каскад рассчитан на протекающий ток до 48 мА и вытекающий ток до 24 мА. Программирование мощности и скорости нарастания сигнала выходного каскада позволяет минимизировать переходные процессы в шинах.

Для большинства стандартов ввода-вывода выходной уровень логической единицы зависит от приложенного извне напряжения V_{CC0} . Использование напряжения V_{CC0} позволяет ввести в устройство принудительные опорные величины для различных, близких по используемым логическим уровням стандартов.

По выбору, к каждому выходу может быть подключена схема ТРИГГЕР ШМИТТА. Если данная цепь активирована (задается пользователем на этапе создания схемы), то она следит за напряжением на контакте микросхемы, и создает слабую нагрузку для входного сигнала, подключенную либо к «земле» (если на входе уровень логического нуля), либо к источнику питания (если на входе уровень логической единицы). Если контакт подключен к нескольким источникам сигнала, эта цепь удерживает уровень входного сигнала в его последнем состоянии, при условии, что все источники были переведены в состояние с высоким импедансом.

Поддержание таким путем одного из допустимых логических уровней позволяет

Так как схема ТРИГГЕР ШМИТТА использует входной буфер для слежения за входным уровнем, то необходимо использовать подходящее значение напряжения, если выбранный сигнальный стандарт требует этого. Подключение данного напряжения должно удовлетворять требованиям правил разбиения на банки.

Некоторые из указанных выше стандартов требуют подключения напряжения V_{CC0} и/или A_{REF} . Эти внешние напряжения подключаются к контактам микросхемы, которые функционируют группами, называемыми банками.

Как показано на рисунке 3.8, каждая сторона кристалла микросхемы разделена на два банка. Каждый банк имеет несколько контактов V_{CC0} , но все они определяется выбранным для данного банка стандартом выходных сигналов.

Стандарты для выходных сигналов конкретного банка могут быть различными

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		45

только в том случае, если они используют одинаковое значение напряжения VCCQ. Некоторые стандарты требуют подачи соответствующих пороговых напряжений FREF на входные каскады. При этом определенные БВВ автоматически конфигурируются как входы, соответствующие напряжению AREF. Приблизительно один контакт из шести в каждом банке может выполнять эту роль.

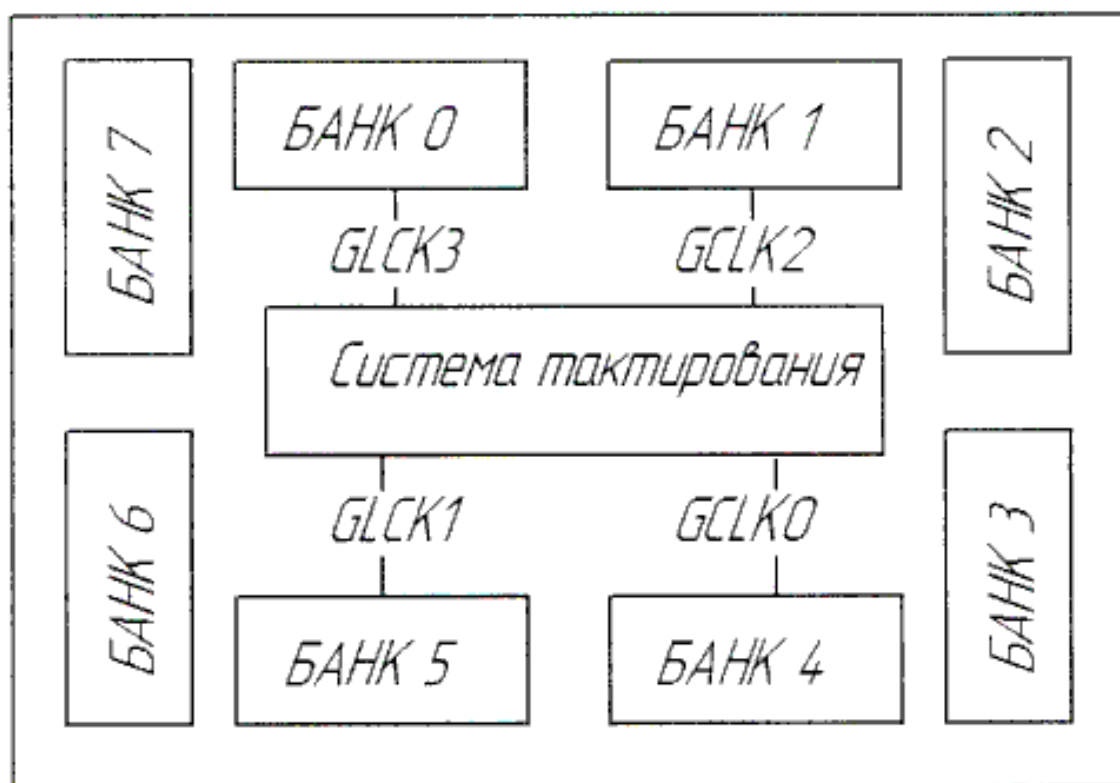


Рисунок 3.8 — Банки ввода-вывода ПЛИС

Контакты VREF в пределах одного банка внутренне между собой соединены, следовательно, только одно значение напряжения FREF может быть использовано в рамках одного банка. Для правильной работы все контакты VREF, одного банка, должны быть подсоединены к внешнему источнику напряжения.

В пределах одного банка можно одновременно использовать входы, которые требуют напряжения FREF и входы, которые этого не требуют. Входные буферы, которые используют УКЕБ, не совместимы с сигналами 5 В стандартов БВВ, запрограммированные на другие стандарты, совместимы с 5-В стандартами.

Номера контактов VCC0 и AREF для каждого банка приведены в таблицах и диаграммах под конкретный корпус и кристалл. На диаграммах также показано, к какому банку относится конкретный контакт ввода-вывода.

В рамках конкретного типа корпуса микросхемы число контактов VCC0 и AREF может меняться в зависимости от емкости кристалла. Чем больше кристалл по логической емкости, тем большее число контактов ввода-вывода преобразовано в контакты типа AREF. Поскольку для меньших кристаллов существует максимальный набор контактов, имеется возможность проектирования печатной

платы, позволяющей также использовать на ней и большие кристаллы с таким же типом корпуса. Все контакты УКЕБ, предполагаемые к использованию для больших кристаллов, при этом должны быть подсоединены к напряжению VREF и не должны использоваться как контакты ввода-вывода.

В меньших кристаллах некоторые из контактов VREF, используемые в больших кристаллах, не соединены внутри корпуса. Эти контакты могут быть оставлены неприсоединенными вне микросхемы или быть подключены к напряжению Vcco при необходимости обеспечения совместимости разрабатываемой печатной платы с большими кристаллами.

В корпусах TQ-144 и PQ-208 все контакты Vcco соединены вместе внутри микросхемы и, следовательно, ко всем из них должно быть подключено одно и то же напряжение VCCQ. В корпусе CS-144 пары банков, расположенные на одной стороне, внутренне соединены, обеспечивая, таким образом, возможность выбора только четырех возможных значений напряжения для Vcco. Контакты VREF остаются внутренне соединенными в рамках каждого из восьми банков и могут использоваться, как было описано выше.

3.5 Проектирование принципиальной схемы системы управления

3.5.1 Описание принципиальной схемы

Принципиальная схема системы управления шаговым двигателем показана на рисунке 3.9.

Сигнал 0...10 В поступает от СЧПУ на аналого-цифровой преобразователь, выполненный на интегральной схеме DA5. Опорное напряжение 10 В подается от источника опорного напряжения на микросхеме DA2. Подключение выходов источника опорного напряжения и входов Uref аналого-цифрового преобразователя осуществляется по четырехпроводной схеме. Генератор сигналов DA1 формирует прямоугольные импульсы с частотой 0,812 МГц, необходимой для работы ПЛИС. Частота и форма импульса задается установкой двоичного кода на выводах D0...D7 микросхемы. На тактирующий вход CLKIN подаются тактовые импульсы с кварцевого резонатора DA3. Аналоговая и цифровая часть микросхемы разделены по питанию. Питание аналоговой части подается на выводы AVDD, AGND, питание цифровой — DVDD, DGND.

Цифровой код измеренного напряжения и сигналы с фотодатчиков, подключенных к разъему XS4 подаются на сконфигурированные входы ПЛИС. Тактовый сигнал 0,812 МГц поступает от генератора на входы CLK аналого-цифрового преобразователя и ПЛИС. Выходной сигнал управления шаговым двигателем через разъемное соединение XS5 подается на силовую часть схемы, которая состоит из блока оптической развязки и мостовой схемы управления включением обмоток двигателя.

Для снижения питающего напряжения 5 В до 3,3 В, необходимого для питания ПЛИС, используется стабилизатор напряжения, собранный на микросхеме DA4 и конденсаторах C3...C6

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		47

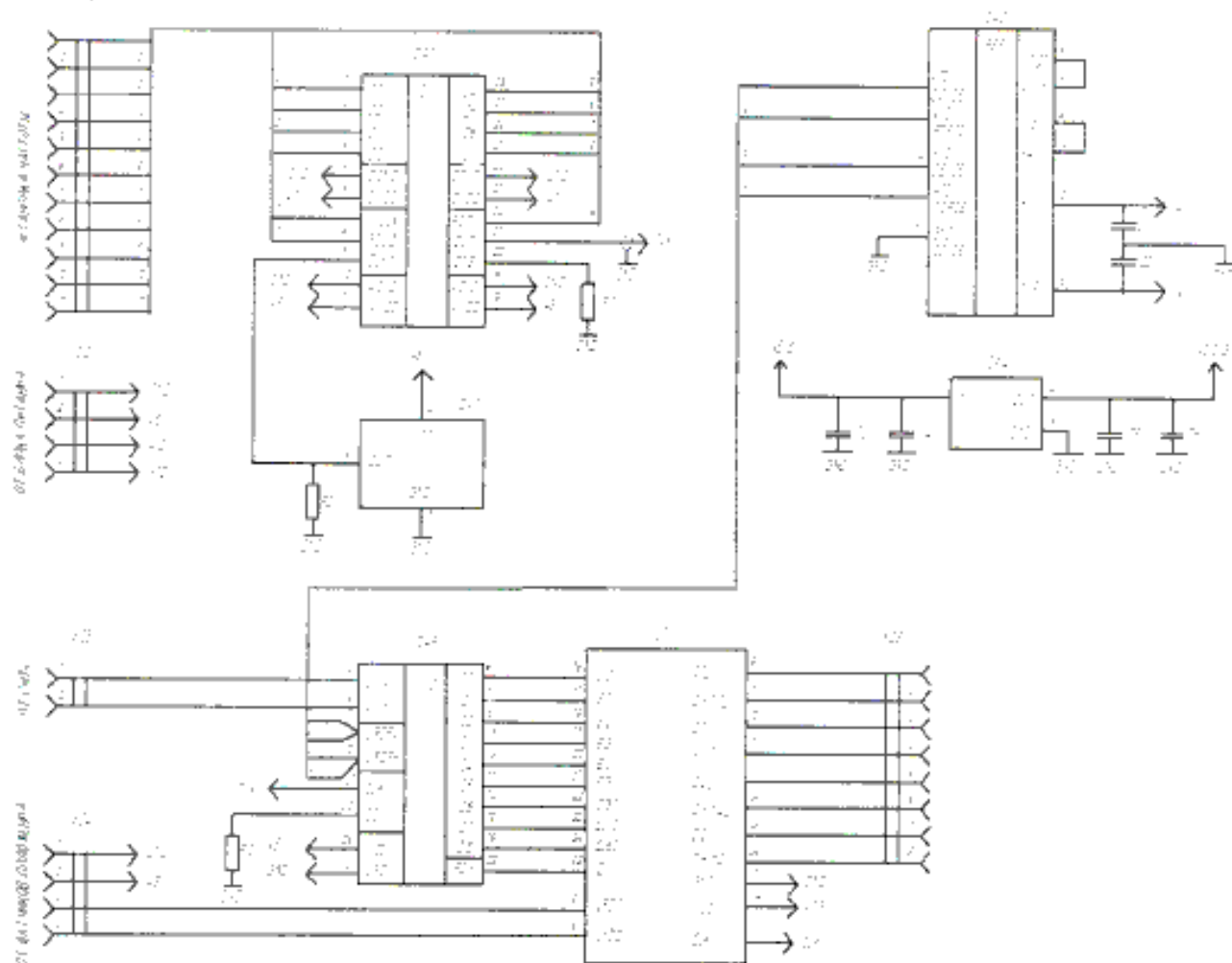


Рисунок 3.9 - Принципиальная схема системы управления ШД.

3.5.2 Аналого-цифровой преобразователь

Для преобразования сигнала 0...10 В, поступающего с ЧПУ в двоичный код и последующей обработки ПЛИС используется интегральная схема аналого-цифрового преобразователя AD7124-8 – 24-разрядный сигма-дельта ЛЦП от Analog Devices, Inc. AD7124-8 конфигурируется как для работы с 8 дифференциальными, так и с 15 псевдодифференциальными входными сигналами. AD7124-8 имеет встроенные аналоговые буферы и усилители с программируемым коэффициентом усиления, что позволяет подавать сигналы низкого уровня непосредственно на вход микросхемы. При работе с частотой обновления выходных данных 25 SPS микросхема способна обеспечивать одновременное подавление помех на частотах 50 Гц и 60 Гц; при меньших частотах обновления выходных данных, подавление может достигать более 80 дБ. AD7124-8 содержит встроенный источник опорного напряжения, дрейф которого не превышает 15 ppm/°C. Тактирование микросхемы может осуществляться как от внутреннего источника тактового сигнала частотой 614,4 кГц., так и от внешнего. AD7124-8 работает в температурном диапазоне от -40 °C до +105 °C и выпускается в 32-выводном корпусе LFCSP.

Изм.	Лист	№ докум.	Подпись	Дата

Основные технические характеристики:

- напряжение питания аналоговой части: от 2,7 В до 6 В;
- напряжение питания цифровой части: от 1,65 В до 6 В
- максимальный ток потребления: 930 мкА
- частота дискретизации: от 1,17 SPS до 19200 SPS
- разрядность: 24 бит
- количество каналов: 8
- средний уровень шума: 20 нВ.
- интегральная нелинейность: ± 2 ppm/FSR
- корпус: 32-выводной LFCSP
- рабочий температурный диапазон: от -40°C до $+105^{\circ}\text{C}$

3.5.3 Генератор импульсов

Расширить диапазон частот от долей герца до 60 МГц может применение цифрового синтезатора частоты AD9850 производства Analog Devices. Эта микросхема является полным DDS синтезатором с встроенным компаратором. DDS (Direct Digital Synthesizers) - цифровые синтезаторы частоты с прямым синтезом уникальны своей точностью. DDS практически не подвержены температурному дрейфу и старению. Единственным элементом, который обладает свойственной аналоговым схемам нестабильностью, является цифроаналоговый преобразователь (ЦАП). Благодаря высоким техническим характеристикам в последнее время DDS вытесняют обычные аналоговые синтезаторы частот. Основным преимуществом DDS является очень высокое разрешение по частоте и фазе, управление которыми осуществляется в цифровом виде. Цифровой интерфейс позволяет легко реализовать микроконтроллерное управление. Более подробное описание принципов прямого цифрового синтеза частоты есть, например, в [8].

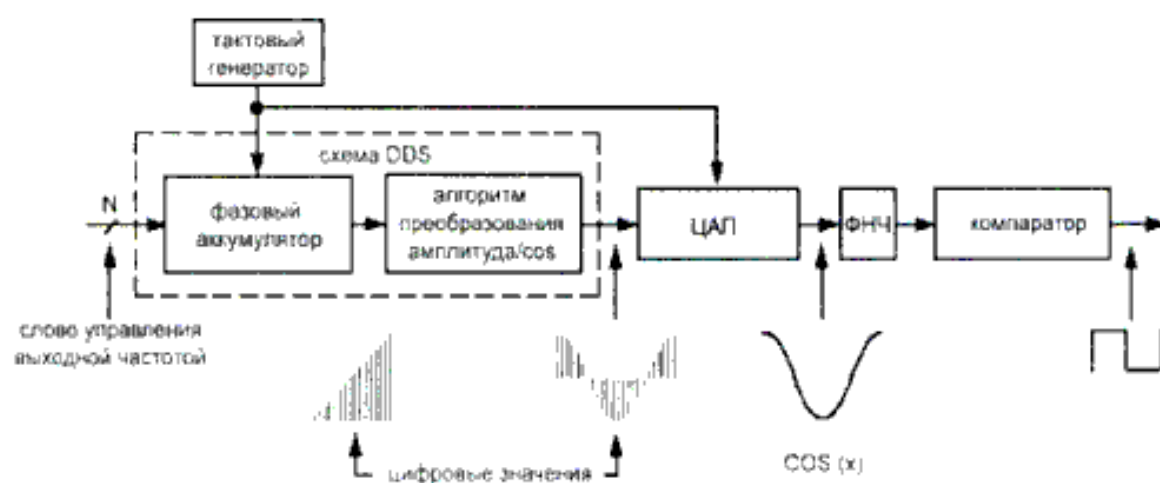


Рисунок 3.10 — Структурная схема синтезатора AD9850

Структурная схема микросхемы AD9850 приведена на рисунке 3.10. Основой микросхемы является аккумулятор фазы, который формирует код мгновенной фазы выходного сигнала. Код мгновенной фазы преобразуется в цифровое значение синусоидального сигнала, который с помощью ЦАП преобразуется в аналоговую форму и подвергается фильтрации. Компаратор позволяет получить выходной сигнал прямоугольной формы.

Для загрузки данных в микросхему AD9850 может использоваться как параллельный так и последовательный интерфейс. При использовании последовательного интерфейса данные (слово длиной 40 бит) подаются на вход D7 микросхемы. Каждый бит данных сопровождается импульсом положительной полярности на входе синхронизации WCLK. После загрузки управляющего слова по импульсу положительной полярности на входе FQUD происходит изменение параметров генерации на новые. Назначение битов управляющего слова приведено в таблице 3.1.

Таблица 3.1 — Описание битов настройки частоты

Номер бита	Описание
0	Бит 0 кода частоты
1	Бит 1 кода частоты
...	...
31	Бит 31 кода частоты
32	Управляющий бит (должен быть 0)
33	Управляющий бит (должен быть 0)
34	Бит управления питанием (включено при 0, выключено при 1)
35	Бит 0 кода фазы
36	Бит 1 кода фазы
...	...
39	Бит 4 кода фазы

3.5.4 Оптронная развязка

Для гальванической развязки цепей управления ПЛИС и мостовой схемы управления шаговым двигателем служат две оптотранзисторные сборки TLP521-4GB, содержащие по 4 оптотранзистора. Схема подключения сборок показана на рисунке 3.11.

Особенностями данной серии интегральных схем являются:

- DIP, SMT, SOP корпуса;
- не создают ЭМП;
- отсутствие подвижных частей в конструкции;
- совместимость с TTL/CMOS;

- низкое сопротивление канала в открытом состоянии;
- высокое сопротивление изоляции.

Коэффициент передачи по току при $I=10$ мА составляет 600 %, Напряжение коллектор-эмиттер составляет 55 В , напряжение изоляции — 2,5 кВ.

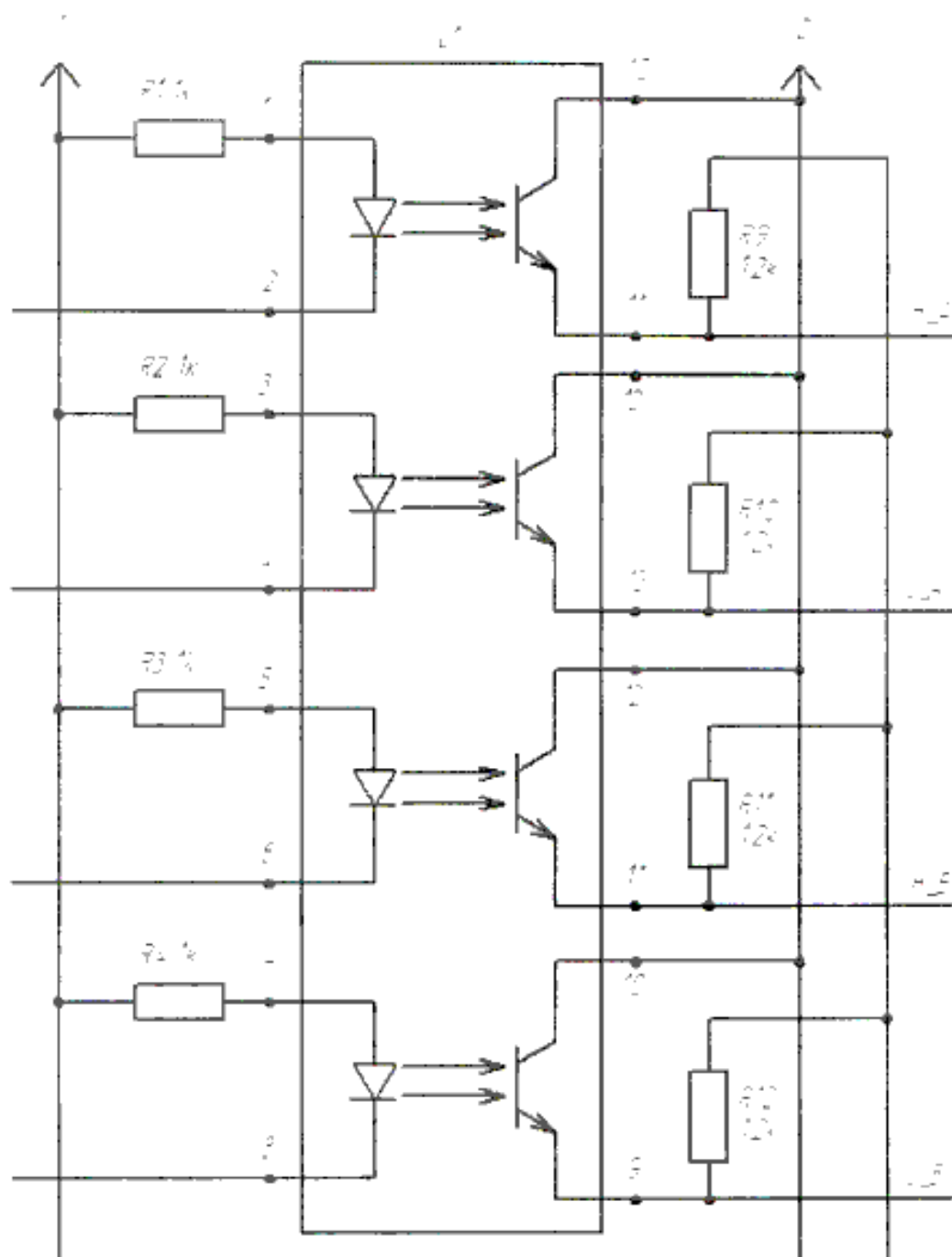


Рисунок 3.11 — Схема включения сборки TLP521-4GB.

3.5.5 Мостовая схема управления переключением обмоток

Эффективность небольшого двигателя выше, когда все его обмотки постоянно возбуждены. По этой причине для управления четырехфазным гибридным двигателем наилучшей является двухполупериодная схема коммутатора, так как в

Изм.	Лист	№ докум.	Подпись	Дата

этом случае четыре обмотки всегда возбуждены. По сравнению с однополупериодным управлением, при котором ток проходит только в одном направлении, возможно 20—35%-ное увеличение момента.

На рисунке 3.12 показан мостовой коммутатор, использующийся в данном проекте.

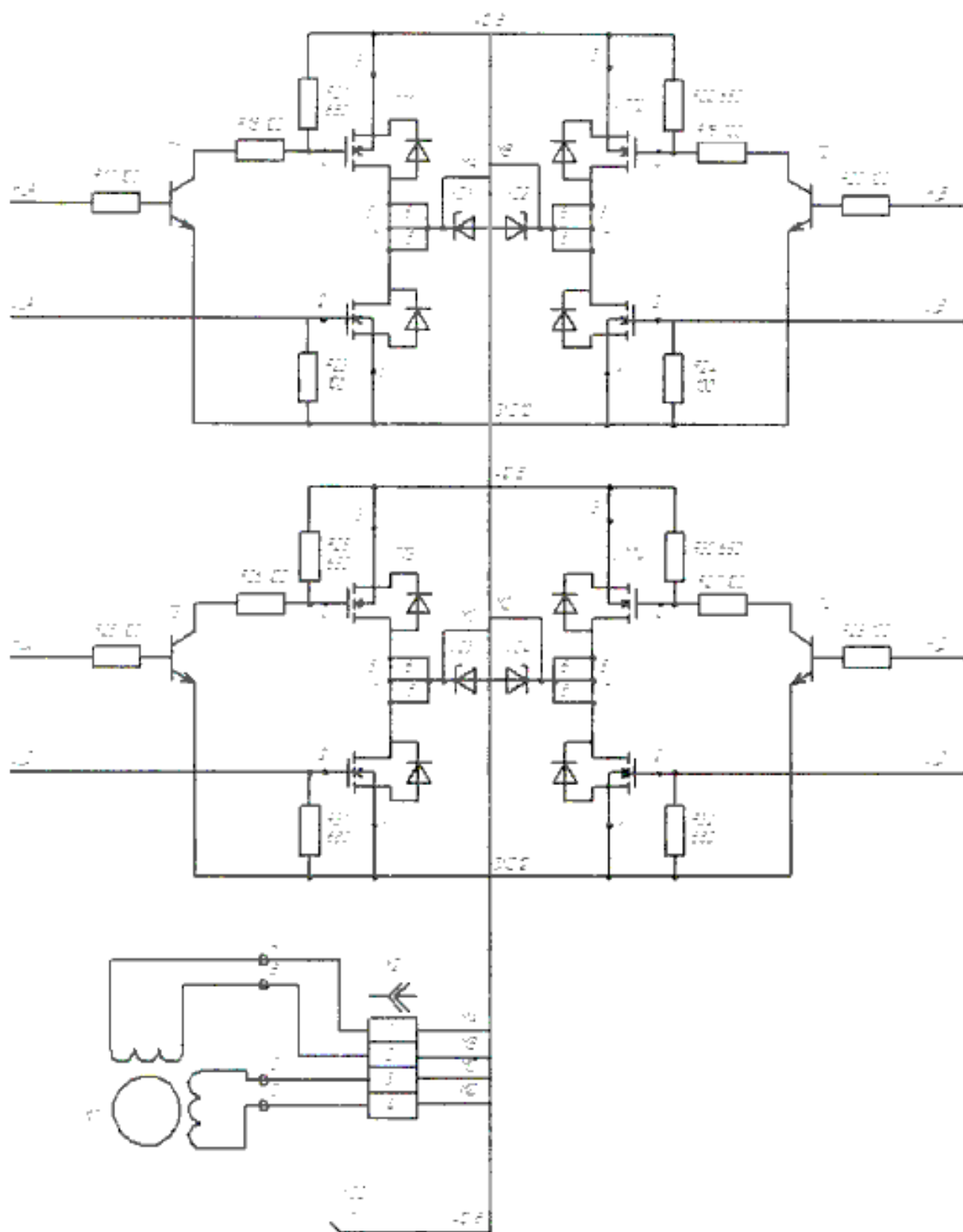


Рисунок 3.12 — Принципиальная схема мостового коммутатора

Изм.	Лист	№ докум.	Подпись	Дата

Если двигатель имеет четыре отдельных входа, то обмотки подключают так, как показано на рисунке 3.12. Через каждую из них в фазах 1 к 2 течет переменный ток, и они всегда имеют одинаковую полярность. Таким образом, двигатель можно рассматривать как двухфазный.

Если VTT1 включен, то VTT2 выключен, и наоборот. Но существует возможность того, что транзистор будет включен в то время, когда другой все еще проводит ток. Поэтому для предотвращения включения в одно и то же время двух транзисторов необходимо добавить задерживающую цепочку. Для этих целей могут быть добавлены резисторы, как это показано на рисунке.

Диоды служат для снижения перенапряжений. Они, подключенные параллельно силовым транзисторам, служат для снижения перенапряжений при отключении последних. Эта функция диодов отличается от выполняемой ими при однополупериодной схеме коммутатора. Сразу после отключения VTT1 и включения VTT2 ток в обмотке не меняет еще своего направления и будет замыкаться через VD2 и источник питания +12 В. Так как при однополупериодном управлении энергия магнитного поля рассеивается в обмотках, диодах, внешних резисторах и стабилитронах, то двухполупериодное управление в этом отношении является более совершенным.

При однополупериодном управлении для демпфирования тока в обмотке, возникающего после выключения соответствующего транзистора, используют различные схемы защит. Напротив, при двухполупериодном управлении напряжение подается на обмотки для изменения направления тока. После того, как ток, проходящий по пути, указанному пунктирной линией, становится равным нулю, устанавливается ток в обратном направлении через транзистор VTT2.

3.6 Описание САПР ПЛИС System Designer

Для разработки проектов на микросхемах нового поколения, естественно, требуются соответствующие программные средства. Комплект программных средств для FPSLIC - System Designer - представляет собой интегрированную среду разработки. Впервые в пакет разработки как стандартное средство включен модуль коверификации (Co-verification tools). Программные средства создавались параллельно с разработкой кристаллов FPSLIC, поэтому достигнута хорошая аппаратно-программная совместимость. Комплект программ System Designer включает в себя существующие средства, которые используются для работы с микросхемами AVR и FPGA, выпускающимися фирмой в настоящее время. Стандартные средства проектирования FPGA-микросхем модифицированы для работы с FPSLIC. Пользователь может применять знакомые модули - макрогенератор, HDI.Planner, анализатор задержек. При отладке AVR-ядра используется пакет AVR Studio.

Разработчики проектов на FPGA обычно используют языки описания схемы (HDI. - hardware description language), такие как Verilog или VHDL, и затем проводят отладку проекта при помощи HDI-симулятора. Проекты на микроконтроллерах выполняются на языке Си или ассемблере и отлаживаются на программных дебаггерах или с использованием аппаратных внутрисхемных

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		53

эмуляторов. Пакет System Designer объединяет эти средства, что не только ускоряет процесс разработки, но и позволяет разработчику проводить анализ взаимодействия программной и аппаратной частей разрабатываемого изделия уже на ранних стадиях проекта. Такие возможности реализованы в модуле коверификации.

Известно, что до половины времени, затраченного на разработку проекта, уходит на отладку интерфейса взаимодействия компонентов разрабатываемой системы. Это итерационный процесс анализа и последующего исправления ошибок, накопившихся за время разработки схемы, разводки печатной платы и так далее. Известны случаи, когда приходилось возвращаться к начальной стадии проекта - изменению принципиальной схемы устройства с последующей переработкой печатной платы - так как неоднозначность описания внутрисистемного интерфейса делала невозможной реализацию требуемых функций на уже изготовленной печатной плате.

Интеграция в пакет System Designer всех необходимых программных средств позволяет производить процесс коверификации в исходных кодах с полной синхронизацией аппаратной и программной частей. System Designer позволяет сделать выбор оптимального решения на ранней стадии, а это сокращает время проектирования в несколько раз.

Модуль пакета System Designer для разработки FPGA-части устройства базируется на пакете IDS версии 7. Он включает макрогенератор, HDL-планировщик, автотрассировщик, ручной трассировщик, статический и интерактивный анализ временных диаграмм, библиотекарь, загрузчик микросхем и вспомогательные средства проектирования.

Макрогенератор позволяет добавлять в проект аппаратные и программные IP-ядра. Он вычисляет потребляемую мощность и ресурсы, требуемые для того или иного макроса. Все макросы оптимизированы под архитектуру FPGAs. Разработчик может использовать более пятидесяти готовых макроблоков, в числе которых есть сумматоры, умножители, целочисленные делители, память типа RAM и FIFO, счётчики (в том числе с предустановкой), компараторы, декодеры, регистры, тристабильные шинные формирователи. Макроблоки доступны через ниспадающее меню. После выбора макроблока в диалоговом окне производится настройка конкретных параметров. На web-сайте фирмы ATMEЛ находится библиотека доступных для использования компонентов комплексных IP-ядер, таких как конечные и бесконечные фильтры, конвольверы и другие функциональные блоки. Библиотека постоянно пополняется.

HDL-планировщик - средство для получения синтаксически правильного Verilog или VHDL-кода. HDL-планировщик может генерировать HDL-определения из макросов, синтезированных макрогенератором. Любой проект, подготовленный с использованием HDL-планировщика, является полностью независимым, то есть может быть использован в любой ASIC или FPGA-микросхеме. HDL-планировщик автоматически подключает компоненты оптимальным для микросхем FPGA фирмы ATMEЛ способом, тем не менее, результат его работы может быть использован в любом независимом HDL-проекте.

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		54

Средства разработки для AVR-микроконтроллеров (AVR-Studio) также интегрированы в пакет System Designer.

Таким образом, можно создавать, отлаживать и выполнять программы для AVR, используя встроенный симулятор. Для просмотра доступно всё пространство памяти и регистры AVR. AVR-Studio обеспечивает просмотр в окнах следующей информации:

- исходного кода, включая переменные в Си-программе;
- содержимого 32 регистров AVR;
- адреса следующей инструкции, адреса указателя стека;
- числа тактов программы и времени выполнения части программы;
- состояние всех регистров ввода/вывода;
- статуса всех периферийных устройств (UART, SPI и так далее).

Пользователь также имеет возможность просматривать и модифицировать содержимое всех подсистем памяти AVR.

На рисунке 3.13 представлено рабочее окно SystemDesigner. В нем указан тип выбранного кристалла и файлы проекта (разбитые на группы по типам), а также графическое изображение процесса разработки, представленное в виде этапов, с указанием последовательности их исполнения.

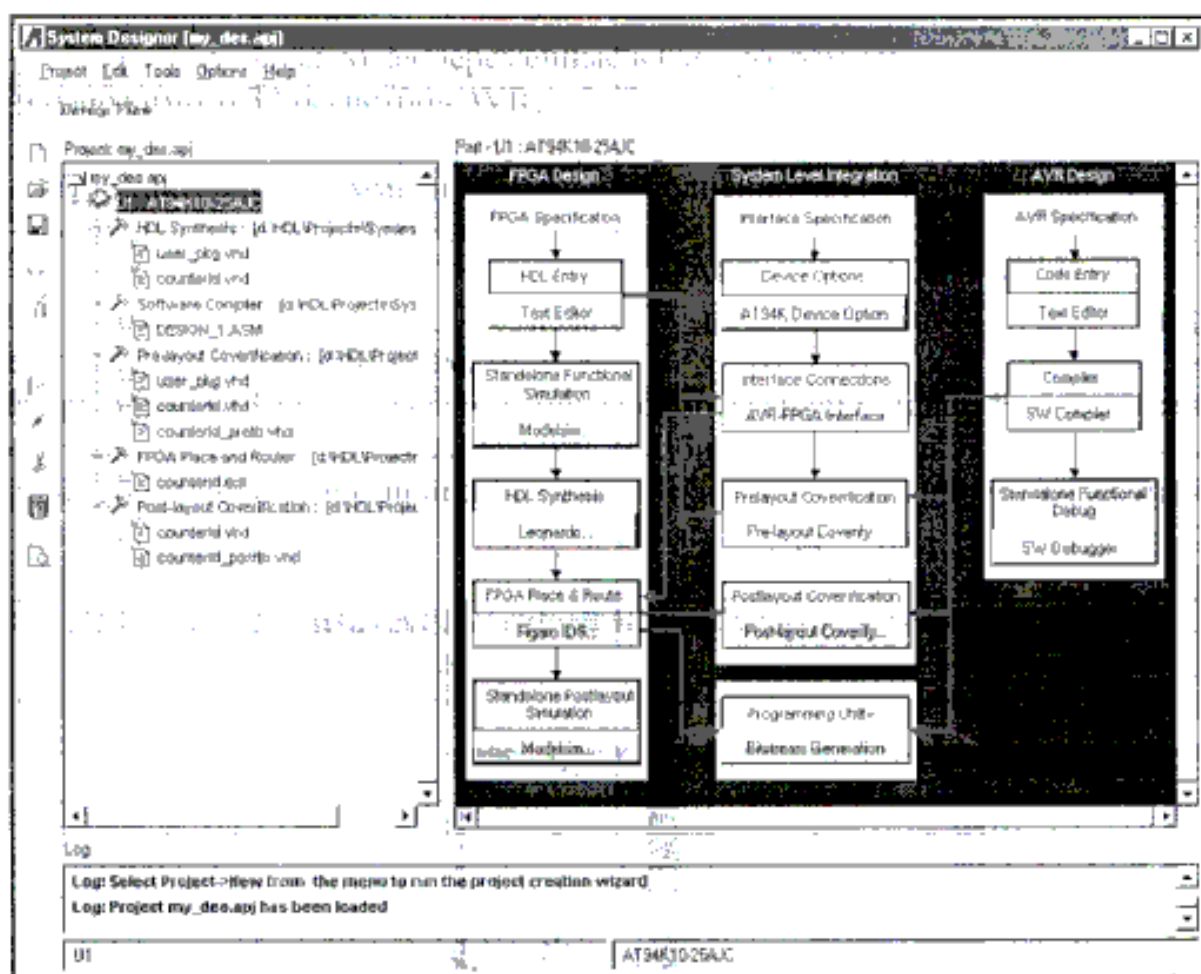


Рисунок 3.13 - Рабочее окно программы System Designer

В настоящее время актуальной является задача защиты проекта от несанкционированного копирования. Однако, структура стандартных FPGA-микросхем, когда файл конфигурации хранится во внешней памяти, не позволяет защитить разработку. Возможным решением является совместное использование в одном проекте микросхем FPGA и CPLD, так как конфигурация CPLD-микросхемы сохраняется во внутренней памяти кристалла и, следовательно, не может быть прочитана. Однако, учитывая сравнительно большое потребление мощности CPLD-микросхемами, этот способ неприменим в батарейных устройствах. Здесь фирма ATMEL предлагает радикальное решение. Она разработала протокол защищённой загрузки кристалла с использованием кодирующего алгоритма. Теперь даже считывание содержимого загрузочного ПЗУ не позволит скопировать разработку, базирующуюся на элементной базе FPSLIC.

Как было отмечено выше, с точки зрения Atmel система на кристалле представляет собой набор независимых ядер (ядро AVR и ядро FPGA). Соответственно, в состав SystemDesigner входят средства разработки приложений для микроконтроллера (программная часть проекта) и для FPGA (аппаратная часть проекта), а также средства разработки интерфейса между ядрами.

Гибкая архитектура FPSLIC и широкий набор встроенных в SystemDesigner средств разработки позволяет проводить независимое проектирование программной (ядро AVR) и аппаратной (ядро FPGA) частей проекта. При этом в процессе проектирования разработчик пользуется привычными средствами как для написания программ (C, ассемблер), так и для создания языкового описания аппаратуры (VHDL, Verilog HDL).

Главной отличительной чертой SystemDesigner является наличие в его составе средств совместной (т. е. одновременной для аппаратной и программной частей) программной симуляции проекта. Преимущество совместной верификации проекта, т. е. отладки при помощи моделирующих программ по сравнению с отладкой проекта непосредственно в реальной разрабатываемой системе заключается в гораздо более раннем обнаружении ошибок как в программной, так и в аппаратной частях проекта. Это позволяет вносить изменения в проект на более ранней стадии, и таким образом избегать многократного повторения процедуры синтеза, размещения и разводки, которые, как правило, являются самыми длительными из всего процесса проектирования. Таким образом, совместная верификация позволяет существенно сократить время разработки.

В SystemDesigner интегрированы все необходимые средства для проведения разработки и отладки как аппаратной так и программной частей проекта. Интегрированные в пакет средства можно классифицировать по назначению - средства разработки и средства отладки (верификации). К встроенным средствам разработки относятся :

- средства разработки программной части проекта;
- AVR Assembler v1.3;
- средства разработки аппаратной части проекта с использованием языкового описания аппаратуры;
- синтезатор языкового описания аппаратуры LeonardoSpectrum;
- среда размещения и разводки FPGA Figaro ISD7.

Редактор языкового описания аппаратуры HDL Planner содержит набор средств для упрощения ввода VHDL- или Verilog-описания, например набор заготовок (templates) языкового описания различных цифровых блоков (счетчиков, регистров и т.п.). Кроме того, из-под HDL Planner может быть запущен генератор макросов Macro Generator. Макрос представляет собой подготовленный к размещению и разводке в FPGA аппаратный узел, учитывающий все особенности архитектуры FPGA AT94. Кроме того, библиотеки макросов могут использоваться средой размещения и разводки IDS7 при имплементации параметризуемых модулей (мегафункций).

Входящий в состав SystemDesigner синтезатор LeonardoSpectrum является «облегченной» версией стандартного продукта Exemplar Logic, и содержит только библиотеку логических элементов FPGA Atmel.

К встроенным средствам верификации относятся :

- программный отладчик-симулятор AVR Studio;
- симулятор языкового присания аппаратуры ModelSim;
- среда совместной верификации аппаратуры и исполняемого кода микроконтроллера Seamless.

Кроме того SystemDesigner содержит средства для создания интерфейса между ядрами (AVR-FPGA Interface), управления разделяемыми ресурсами FPSLIC (AT94 Device Option) и создания файла для программирования конфигурационного ПЗУ (Bitstream Generation).

Разработчик может по своему желанию вместо встроенных средств разработки использовать программные продукты других фирм. Это не относится в средствам верификации. Встроенные в SystemDesigner AVR Studio и ModelSim адаптированы для поддержки совместной верификации под управлением Seamless.

Вместо AVR Assembler разработчик может подключить к пакету любой внешний компилятор, поддерживающий процессоры AVR - например компиляторы C фирм IAR Systems или ImageCraft Software.

Передача информации из синтезатора в среду размещения и разводки осуществляется в формате EDIF2.0.0. Поэтому для синтеза может использоваться любой синтезатор, удовлетворяющий двум условиям :

- содержащий библиотеку логических элементов FPGA Atmel;
- совместимый по формату EDIF с Figaro IDS7.

Среда размещения и разводки Figaro IDS7 совместима по формату EDIF со следующими синтезаторами, поддерживающими FPGA Atmel:

- PGA Express / FPGA Compiler II фирмы Synopsys;
- LeonardoSpectrum фирмы Exemplar Logic;
- Synplify фирмы Synplicity;
- Everest фирмы Everest Design Software;

Кроме того, среда IDS7 совместима с некоторыми пакетами, поддерживающими схемотехническую форму описания проектов :

- OrCAD Capture;
- WorkVIEW Office ViewDRAW;
- а так же с форматом XNF фирмы XILINX.

Однако при использовании схемотехнического ввода проектов теряется очень

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		57

важное преимущество - возможность совместной верификации до размещения и разводки проекта (Pre-layout Coverification), и, как следствие, при этом нельзя обнаружить ошибку на этапе логического моделирования. Это, в свою очередь, ведет к увеличению времени разработки.

Процесс разработки в SystemDesigner происходит в несколько этапов.

Первый этап: создание проекта. Создание проекта в SystemDesigner начинается с запуска менеджера проектов. В менеджере проектов разработчик указывает имя проекта и выбирает тип кристалла FPSLIC, причем и то и другое может быть изменено на любом этапе разработки. Здесь же может быть задан список используемых в процессе проектирования программных средств из состава SystemDesigner по выбору разработчика, однако на сегодняшний день эта опция недоступна и к проекту подключаются все программные средства пакета. Следующим этапом открытия проекта является указание количества выбранных кристаллов (один или несколько), что позволяет создавать более сложные устройства в случае, если проект не помещается в один кристалл. На этом создание проекта заканчивается.

Второй этап: разработка программной части проекта. Как уже говорилось, при работе в SystemDesigner разработчик пользуется привычными средствами написания программ. При создании исполняемого кода AVR для определения символических имен регистров FPSLIC (как регистров AVR, так и регистров, определяющих межъядерный интерфейс) служит специальный включаемый (заголовочный) файл, предоставляемый фирмой Atmel. Компиляция и компоновка программы определяются используемым разработчиком программным средством, и практически ничем не отличаются от аналогичных операций при создании программ для AVR. Результатом этого этапа разработки является создание объектного файла AVR (используется при совместной верификации) и шестнадцатеричного файла с исполняемым кодом AVR (используется при создании загрузочного файла).

Третий этап: разработка аппаратной части проекта. На этом этапе действия разработчика повторяют разработку аппаратуры на основе FPGA. Как уже отмечалось, SystemDesigner ориентирован на языковое описание аппаратной части проекта. Для того, чтобы использовать все преимущества совместной верификации, разработчик должен создать языковое описание своего устройства, используя либо HDL Planner, либо внешний текстовый редактор по своему усмотрению.

Конфигурирование интерфейса AVR-FPGA. Межъядерный интерфейс FPSLIC, благодаря своей гибкости, может быть сконфигурирован "под задачу". Обмен данными между устройством, реализованным в FPGA и микроконтроллером может быть осуществлен как по шине под управлением сигналов разрешения чтения/записи, так и через двухпортовую память (память данных AVR).

На этапе конфигурирования разделяемых ресурсов FPSLIC. Разработчик задает (рисунок 3.14):

- распределение памяти AVR между пространствами кода и данных (и, соответственно, объем двухпортового ОЗУ);

- назначение глобального тактового сигнала GCLK6 ядра FPGA.

Источником глобального тактового сигнала GCLK6 может быть тактовый сигнал AVR, сигнал переполнения Таймера0 AVR или сигнал переполнения сторожевого таймера AVR.

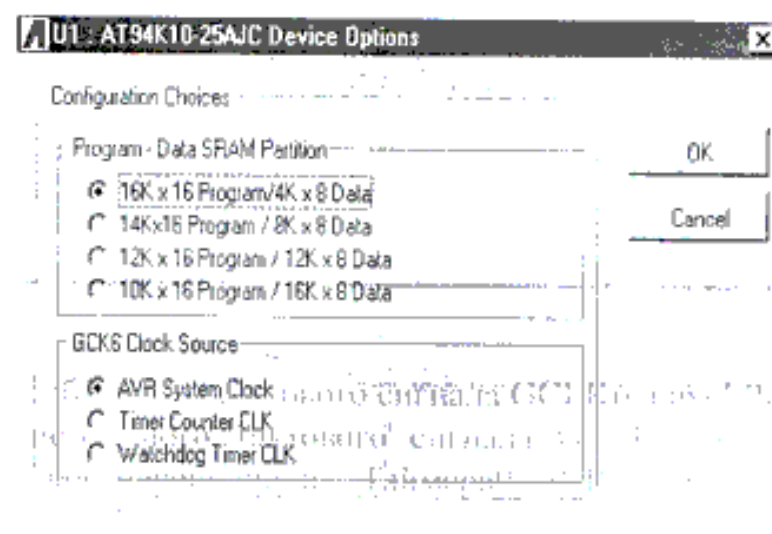


Рисунок 3.14 - Конфигурирование разделяемых ресурсов FPSLIC.

Создание межъядерного интерфейса заключается в соединении портов размещаемого в FPGA пользовательского устройства с линиями управления и шинами ядра AVR путем сопоставления имен. Внутренние сигналы FPSLIC, определяющие способ взаимодействия ядер, разбиты по группам и показаны в таблице 3.2

Таблица 3.2 — Внутренние сигналы FPSLIC

Наименование группы	Описание и состав группы
AVRIoSelect	16 селектирующих линий для выбора устройств в FPGA;
FPGAInterrupt	16 линий запросов прерываний AVR.
DataFromAVR	Шина записи данных из ядра AVR в FPGA;
DataToAVR	Шина чтения данных из FPGA в ядро AVR;
AVRControl	Стробы чтения и записи данных в FPGA;
SRAMAddress	Шина адресции памяти данных AVR ядром FPGA
DataFromSRAM	Шина чтения из памяти данных AVR в FPGA;
DataToSRAM	Шина записи в память данных AVR из FPGA;
SRAMControl	Стробы записи данных из FPGA в память данных AVR;
FPGAClock	Глобальные тактовые сигналы FPGA.

После завершения описания межъядерного интерфейса SystemDesigner по запросу разработчика может сгенерировать тестовый vhdl-файл для проведения программной симуляции. Этот файл объединяет описания разрабатываемого устройства и его входного воздействия, определяемого программной моделью AVR. Кроме того, этот файл содержит заготовку входного воздействия для тех портов устройства, на которые подаются внешние сигналы. Разработчик должен сам задать входное воздействие на эти порты путем ручного редактирование тестового файла.

Распределение разделяемых ресурсов и формирование межъядерного интерфейса завершается на этапе создания файла для программирования конфигурационного ПЗУ, когда разработчик определяет начальное содержимое управляющего регистра FPSLIC .

На этапе Pre-layout CoVerification проверяются алгоритмы функционирования аппаратной и программной частей проекта, и правильность работы межъядерного интерфейса.

Процессом совместной верификации управляет скрытая от разработчика среда Seamless, которая позволяет :

- транслировать вырабатываемые программной моделью ядра AVR воздействия в симулятор языкового описания аппаратуры ModelSim;
- транслировать реакцию аппаратной части проекта из ModelSim в отладчик-симулятор исполняемого кода AVR Studio.

Результаты совместной верификации отображаются в двух окнах : в окне программной отладки (AVR Studio) и в окне отладки аппаратуры (ModelSim). AVR Studio отображает состояние внутренних регистров ядра AVR, регистров встроенных периферийных устройств, памяти программ и данных. ModelSim отображает все внутренние и внешние сигналы аппаратной части проекта в виде временных диаграмм. При этом если по ходу исполнения программного кода AVR активизирует какой-либо сигнал, связанный с аппаратной частью проекта, это изменение тут же отображается в виде изменения уровня соответствующего сигнала в окне ModelSim. И наоборот, если аппаратная часть проекта вырабатывает сигнал, являющийся входным для AVR (например запрос прерывания), он тут же отображается в виде взведенного флага в соответствующем регистре.

При совместной верификации и аппаратный и программный симуляторы работают одновременно. Seamless не может управлять обоими симуляторами одновременно и поэтому переключает управление с одного на другой в зависимости от действий разработчика. Таким образом, в любой момент времени только один симулятор может находиться под управлением Seamless, то есть быть неактивным. Другой симулятор в это время активен, т. е. управляется разработчиком.

Для переключения управления из AVR Studio в ModelSim (активизации ModelSim) в отладчик-симулятор добавлена функция Hardware Break. Для обратного переключения управления (активизации AVR Studio) добавлена функция Continue. Кроме того, AVR Studio может быть активизирован при запуске ModelSim на исполнение - функция Run all.

проектов на основе FPGA. Результатом синтеза является edif - файл, содержащий информацию о структуре аппаратной части проекта на уровне примитивов, определяемых технологической библиотекой.

Интегрированный в SystemDesigner синтезатор LeonardoSpectrum, как и большинство современных синтезаторов (FPGA Compiler II, Synplify и др.) позволяет просматривать результат синтеза в виде схемы как на уровне регистровых пересылок (RTL), так и на уровне технологических примитивов.

Интегрированная в SystemDesigner среда размещения и разводки Figaro IDS7 может работать в двух режимах: в автономном (standalone) режиме и в составе SystemDesigner.

При запуске в составе SystemDesigner в Figaro IDS7 автоматически открывает полученный в результате синтеза языкового описания аппаратной части проекта edif-файл и назначает в качестве целевого заданный в SystemDesigner тип кристалла FPSLIC.

Разработчик должен лишь назначить расположение внешних портов устройства на выводы кристалла (рисунок 3.15).

После назначения портов запускается процедура размещения и разводки, которая происходит в несколько этапов:

- начальное размещение проекта в кристалле;
- оптимизация размещения;
- начальная разводка;
- оптимизация разводки.

После завершения автоматического размещения и разводки по желанию разработчика может быть создан отчет о временных задержках сигналов и указан критический путь. Разработчик имеет возможность ручной корректировки результата размещения и разводки.

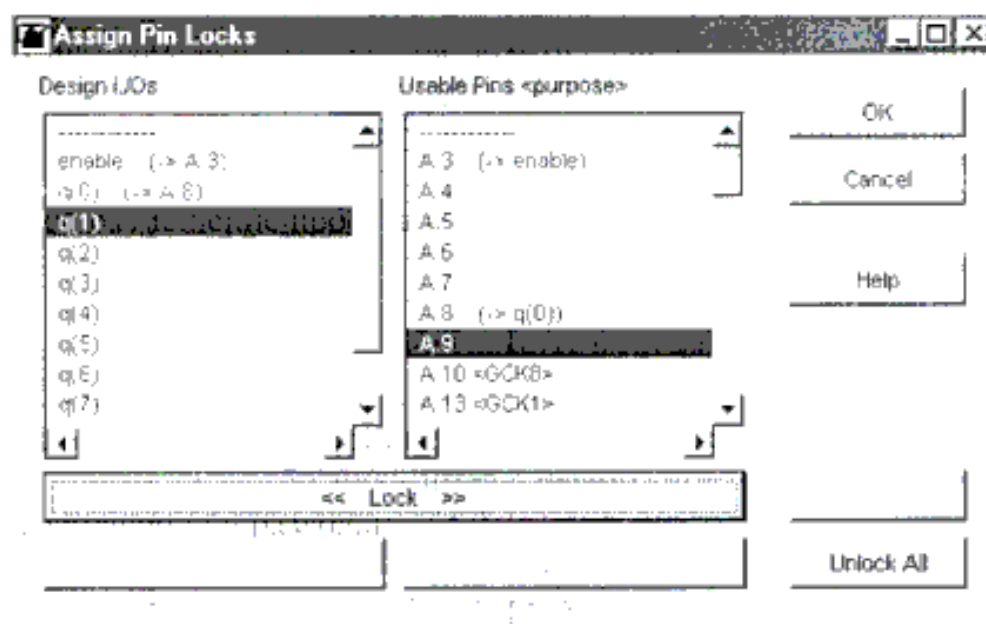


Рисунок 3.15 - Назначение внешних портов устройства на выводы кристалла FPSLIC.

Этап заканчивается формированием bitstream-файла, который содержит данные для конфигурирования ядра FPGA.

Как уже говорилось, этот этап завершает распределение разделяемых ресурсов FPSLIC и формирование межъядерного интерфейса. Управляющий регистр (рисунок 3.16) содержит:

- биты разрешения модификации памяти программ AVR пользовательским приложением;
- дополнительные опции сброса и тактирования AVR;
- бит разрешения функции CacheLogic (реконфигурирование FPGA под управлением ядра AVR);
- бит разрешения записи данных из FPGA в память данных AVR.

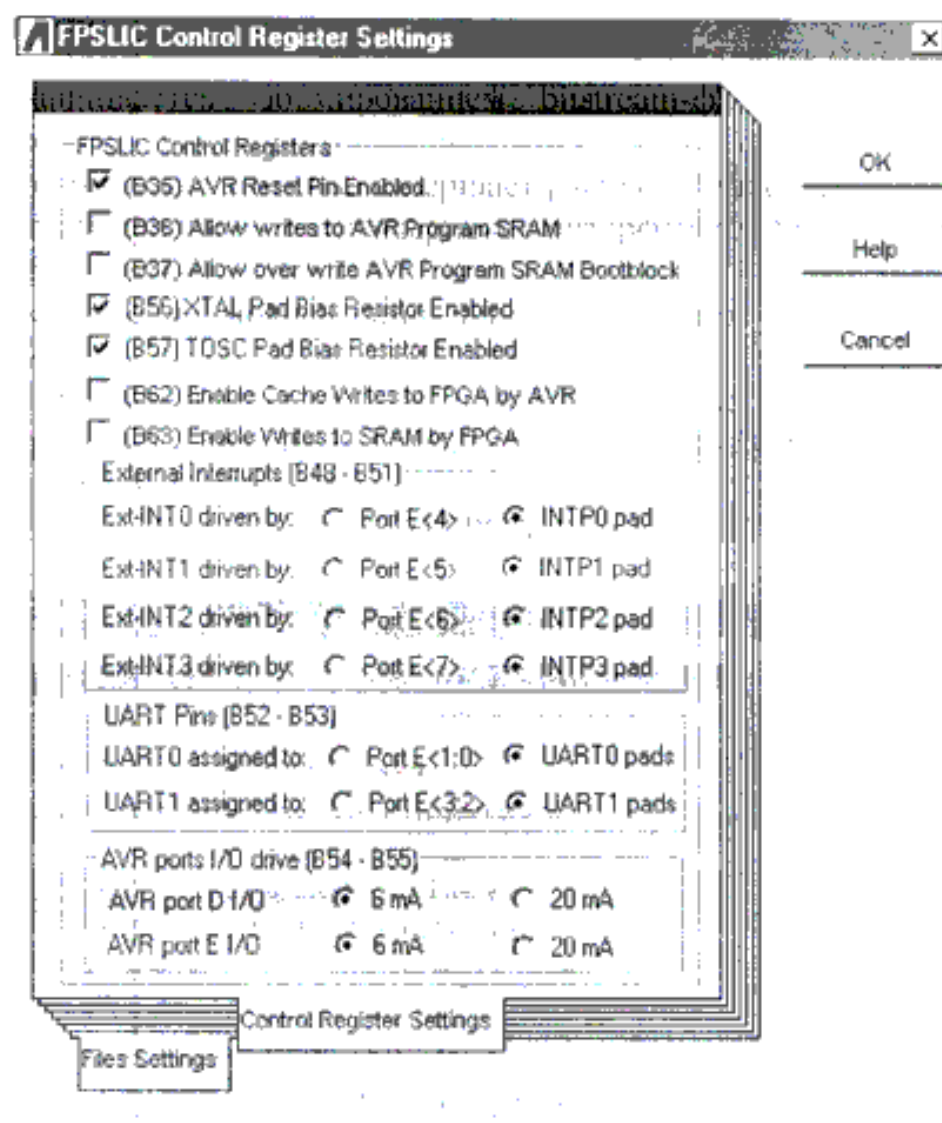


Рисунок 3.16 - Конфигурирование регистра управления FPSLIC.

При формировании bitstream-файла создаются также back-annotation vhdl-файл (файл языкового описания аппаратной части проекта с учетом всех внутренних сигналов) и sdf-файл (файл, содержащий информацию о задержках сигналов во всех внутренних цепях проекта).

Память программ ядра AVR реализована по технологии статического ОЗУ, то есть является энергозависимой. Поэтому программный код AVR должен загружаться в память программ после включения питания также, как и конфигурационные данные ядра FPGA. Кроме того, после включения питания должна производиться начальная загрузка регистра управления FPSLIC.

Для загрузки кристаллов FPGA и FPSLIC Atmel предлагает устройства конфигурационной EEPROM семейства AT17. Эти конфигураторы могут быть запрограммированы непосредственно в системе по шине I2C.

Кроме того управляющий регистр содержит информацию о назначении выводов встроенных периферийных устройств ядра AVR (контроллера прерываний и UART) и определяет нагрузочную способность портов ввода-вывода ядра AVR.

Конфигурационный код включает в себя три составляющие : исполняемый код AVR, конфигурационные данные FPGA и содержимое регистра управления.

При необходимости отладки только программной или только аппаратной частей проекта разработчик имеет возможность включить в конфигурационный файл либо только исполняемый код AVR, либо только конфигурационные данные FPGA. В последнем случае порты, подключаемые ко внутренним сигналам FPSLIC, должны быть объявлены как внешние порты FPGA. Это необходимо для эмуляции микропроцессорного ядра извне.

Конфигурационное ПЗУ AT17 программируется внешней относительно SystemDesigner утилитой Configurator Programming System. Эта программа поддерживает как автономное, так и внутрисхемное программирование конфигураторов, позволяет управлять полярностью сигнала сброса конфигулятора и может разделять загрузочный файл большого объема на несколько частей (при использовании каскадного включения нескольких конфигураторов).

Рассмотрев особенности среды SystemDesigner, можно сделать вывод, что процессу разработки устройств на основе FPSLIC присущи все черты, характерные для разработки проекта на основе программируемой логики:

- ориентация на языковое описание аппаратуры;
- логическая симуляция работы устройств до и после размещения и разводки проекта;
- синтез языкового описания;
- создание загрузочного файла для последовательного конфигурационного ПЗУ.

Отличие заключается только в наличии программной части проекта.

3.7 Составление структуры ПЛИС на языке описания устройств

При разработке и проверке работоспособности внутренней структуры системы управления шаговым двигателем на базе ПЛИС использовался программный продукт фирмы System Designer с симулятором отладочного комплекта серии AT94.

ПЛИС предназначена для преобразования сигнала ошибки в сигналы управления обмотками в силовой цепи (Усилителя мощности и далее двигателем)

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		63

Выходной сигнал АЦП представлен 12 разрядами, но двигатель и остальная часть системы не способна поддерживать заданную точность, поэтому число разрядов уменьшено до 9, отдельным разрядом передается знак числа. Данное действие позволяет упростить структурную схему системы и снизить стоимость ПЛИС. Частота работы ПЛИС выбрана в соответствии с разрядами и составляет 812 КГц, что схоже с частотой работы аналоговой схемы.

Входной сигнал ошибки задан в 2-х разрядном 9-ти битном коде. Отдельный разряд отводится на указания знака ошибки. На рисунке 3.17 эти сигналы изображены «E(0..8)».

На вход ПЛИС подается сигнал синхронизации. Сигнал синхронизации образует кварцевый генератор с частотой 0,812 МГц. Данный сигнал необходим для синхронизации работы ПЛИС со временем.

На вход элемента также поступают сигналы с фотодатчиков FD1 и FD2.

На выходе ПЛИС формируются сигналы управления двумя усилителями мощности.

Общая структура ПЛИС на языке описания устройств показана на рисунке 3.17

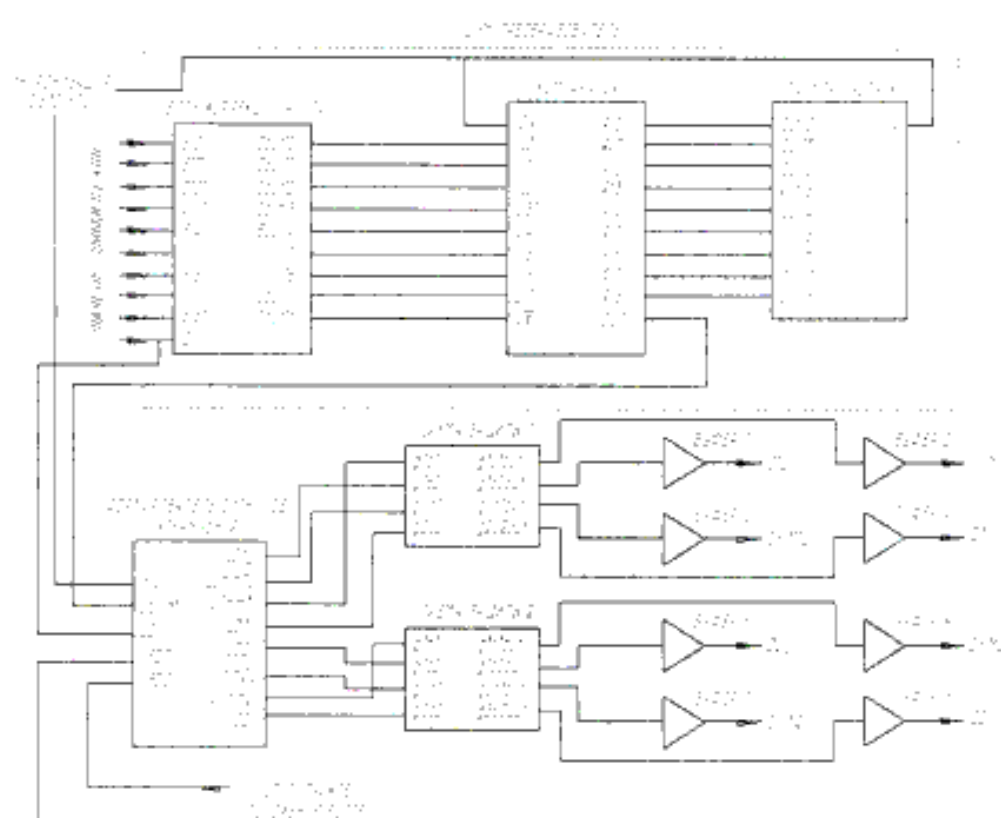


Рисунок 3.17 - Общая структура ПЛИС на языке описания устройств

Конструктивно схема состоит из функциональных элементов:

- ШИМ-преобразователь - сигналы ошибки и синхронизации преобразуются в сигналы ШИМ и ЗНАК;

- формирователь сигналов управления - сигналы ШИМ, ЗНАК и сигналы фотодатчиков FD1 и FD2 преобразуются в сигналы управления ключами обмоток двух усилителей;

Изм.	Лист	№ докум.	Подпись	Дата
------	------	----------	---------	------

- схема защиты - предохранитель - логический элемент, который запрещает одновременное открытие двух несвязанных ключей с целью предотвратить выход прибора из строя (сгорание).

Чтобы предотвратить просадку напряжения, на выходе схемы добавлены буфера 1-8.

Структура элемента «ШИМ-преобразователь» выглядит следующим образом: сигнал ШИМ формируется при сравнении сигнала ошибки $E(0..8)$ с сигналом из суммирующего счетчика компаратором.

Графически работа данного элемента показана на рисунке 3.18.

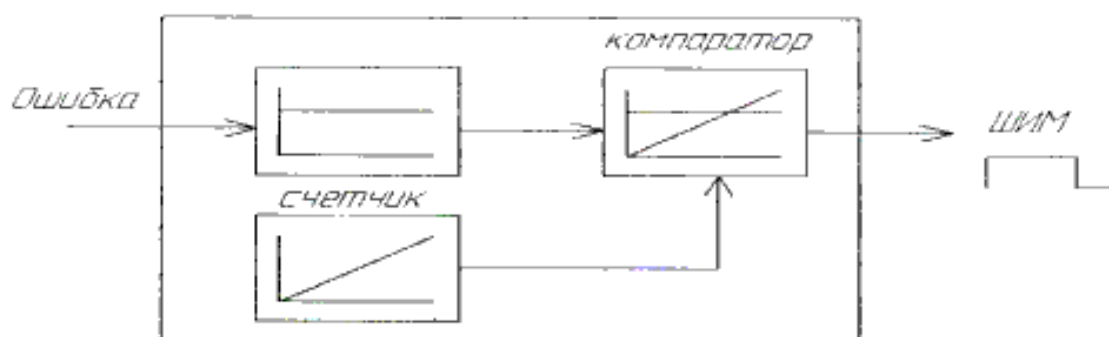


Рисунок 3.18 — Схема работы элемента «ШИМ-преобразователь»

Работа заключается в сравнении текущего сигнала ошибки, подаваемого на вход устройства и опорным сигналом, выполненным в виде постоянно возрастающей величины. При достижении опорным сигналом максимального значения, сигнал обнуляется, данное событие считается окончанием одного периода. Образующийся в результате сравнения сигнал называется сигнал ШИМ.

Конструктивно элемент TSH состоит из следующих элементов:

- блок коррекции числа;
- счетчик;
- компаратор.

Для коррекции кода, получаемого из АЦП в зависимости от знака, необходимо использовать дополнительное преобразование. Для этого применяется элемент.

Элемент отображения амплитуды сигнала в зависимости от знака представляет собой инверсию всех разрядов чисел в зависимости от знака (перевод числа в дополнительный код). Конструктивно элемент собран на логических функциях «исключающее или» и изображен на рисунке 3.19.

При переводе в дополнительный код не происходит добавления единицы к младшему разряду числа т. к. часть разрядов была отброшена непосредственно после преобразования и на точности системы это не отразится.

Элемент счетчик (нереверсивный) предназначен для подсчета числа тактовых импульсов входного сигнала синхронизации и выводе результата в двузначном коде. При достижении максимального числа, счетчик сбрасывается и начинает отсчет с нуля.

Конструктивно счетчик выполнен на D-триггерах. Схематично изображен на рисунке 3.20.

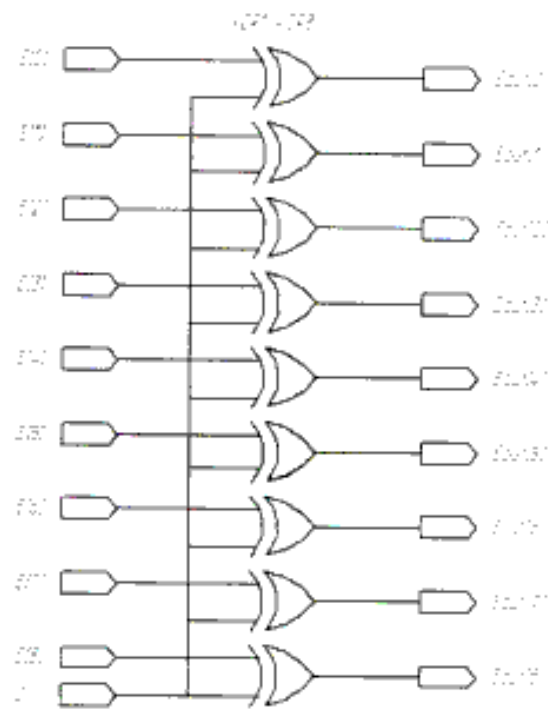


Рисунок 3.19 -- Структурная схема элемента «Блок коррекции числа»

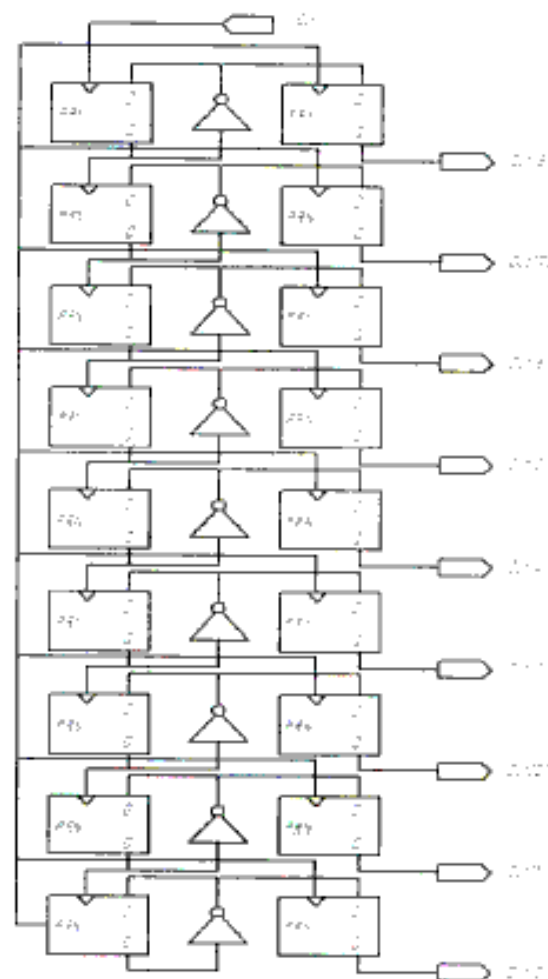


Рисунок 3.20 — Структура таймера-счетчика

Изм.	Лист	№ докум.	Подпись	Дата

Компаратор осуществляет сравнение сигналов счетчика и сигнала ошибки, выдаваемого на вход элемента «ШИМ-преобразователь». При превышении сигнала ошибки над сигналами счетчиков на выходной сигнал компаратора переходит в активное состояние. В результате сравнения образуется сигнал ШИМ. Структура компаратора показана на рисунке 3.21.

Структурная схема элементарной ячейки компаратора, осуществляющая побитовое сравнение изображена на рисунке 3.22.

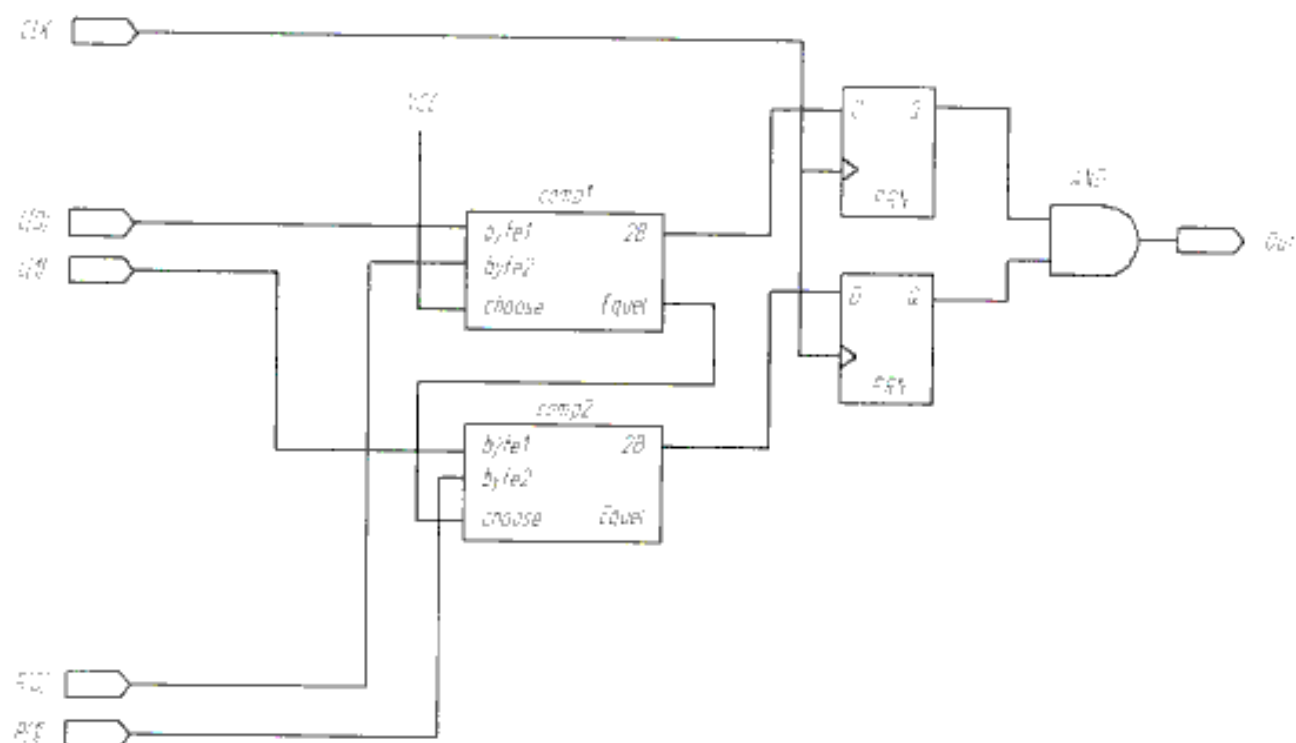


Рисунок 3.20 — Структурная схема компаратора (2 разряда)

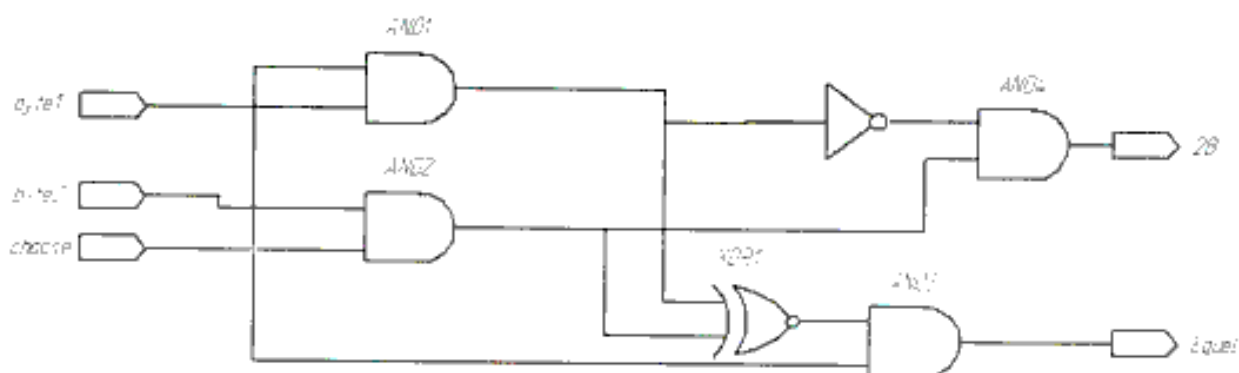


Рисунок 3.21 — Структурная схема элементарной ячейки компаратора

На вход элемента «Формирователь сигналов управления» поступают следующие сигналы:

- Clock – сигнал синхронизации;

- LZ и LShim – от элемента «ШИМ-преобразователь»;
- LFD1 и LFD2 – от фотодатчиков, расположенных вне платы.

В структуру элемента, как показано на рисунке 3.22, входят функциональные элементы:

- элементы памяти — memo;
- элемент, обеспечивающий задержку сигнала в 100 мс — latency;
- логический преобразователь — вырабатывает выходные сигналы элемента.

Элемент memo выдает высокий уровень выходного сигнала Out длительностью в один машинный такт при изменении входного сигнала In. Структура элемента приведена на рисунке 3.23.

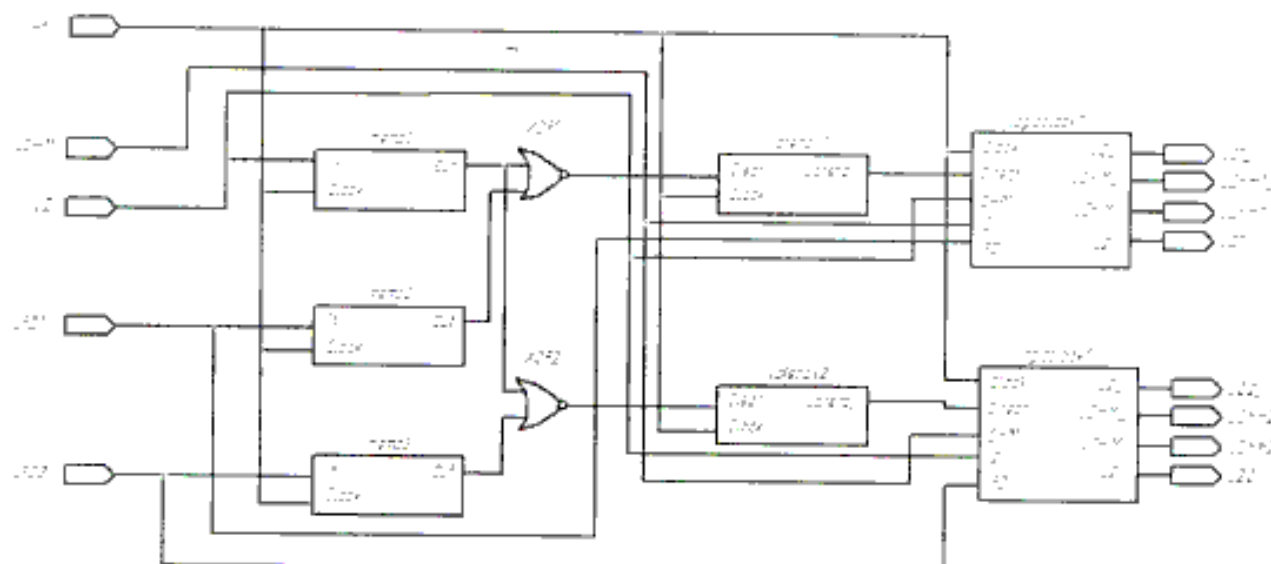


Рисунок 3.22 — Структура элемента «Формирователь сигнала управления»

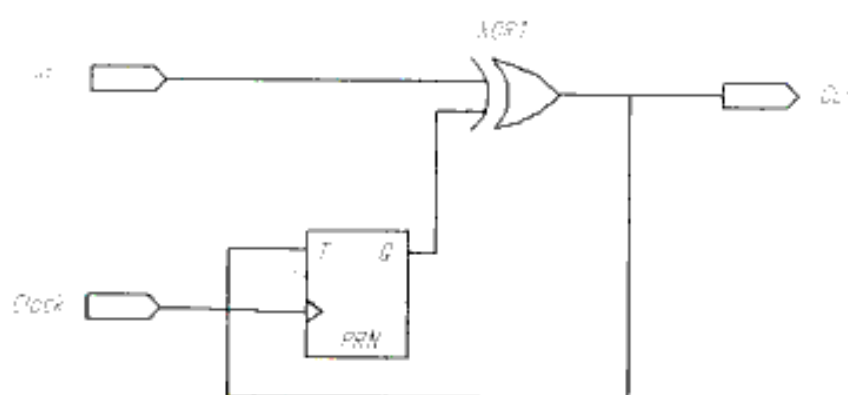


Рисунок 3.23 — Структура элемента memo

Структура элемента latency9 приведена на рисунке 3.24. Элемент обеспечивает активный сигнал (логическая «1») на выходе Latency после подачи на вход синхросигнала clock заданное количество тактов с момента сброса элемента после перехода сигнала Clear на низкий уровень. Обеспечивает необходимую задержку, равную 0,1 мс для переключения обмоток для избежание короткого замыкания цепи.

Изм.	Лист	№ докум.	Подпись	Дата

Элемент logicblock выполняет функцию логического преобразователя внутренних сигналов микросхемы в сигналы управления ключами силовой цепи. На вход данного элемента подаются сигналы синхронизации Clock; разрешение выработки активного сигнала Direct; сигнал ШИМ SHIM; сигнал знака ZN; сигнал с соответствующего фотодатчика FD. Элемент изображен на рисунке 3.25.

Новым в данной цифровой схеме, в отличие от аналоговой является наличие элемента rx1, выполняющего функцию предохранителя силовой цепи от сгорания. Если в работе ПЛИС будет допущена ошибка при выработке выходных сигналов, то этот элемент запретит открытие ключей, что приведет к сохранению работоспособности системы. Элемент изображен на рисунке 3.26.

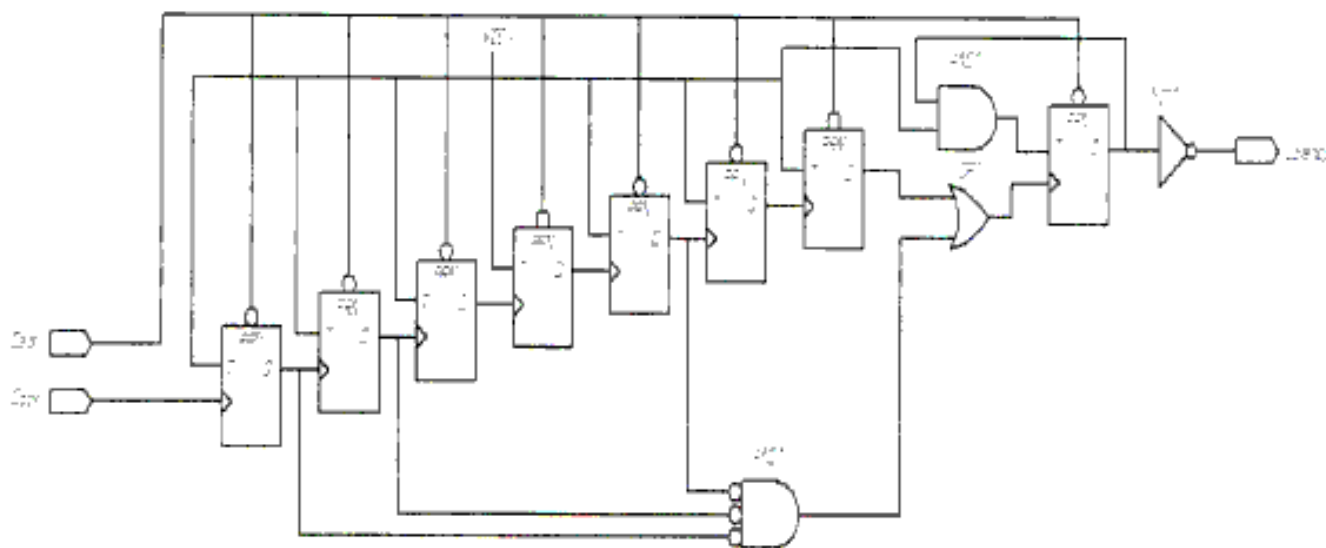


Рисунок 3.24 — Структура элемента latency9

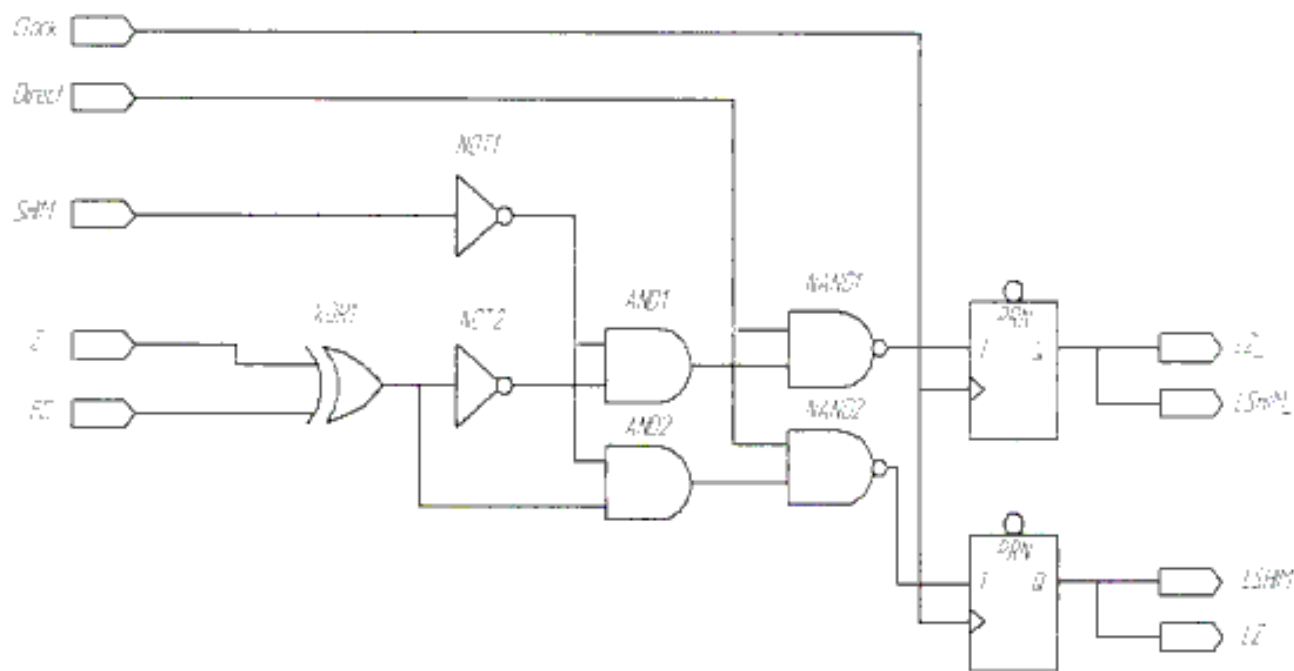


Рисунок 3.25 — Структура элемента logicblock

Изм.	Лист	№ докум.	Подпись	Дата

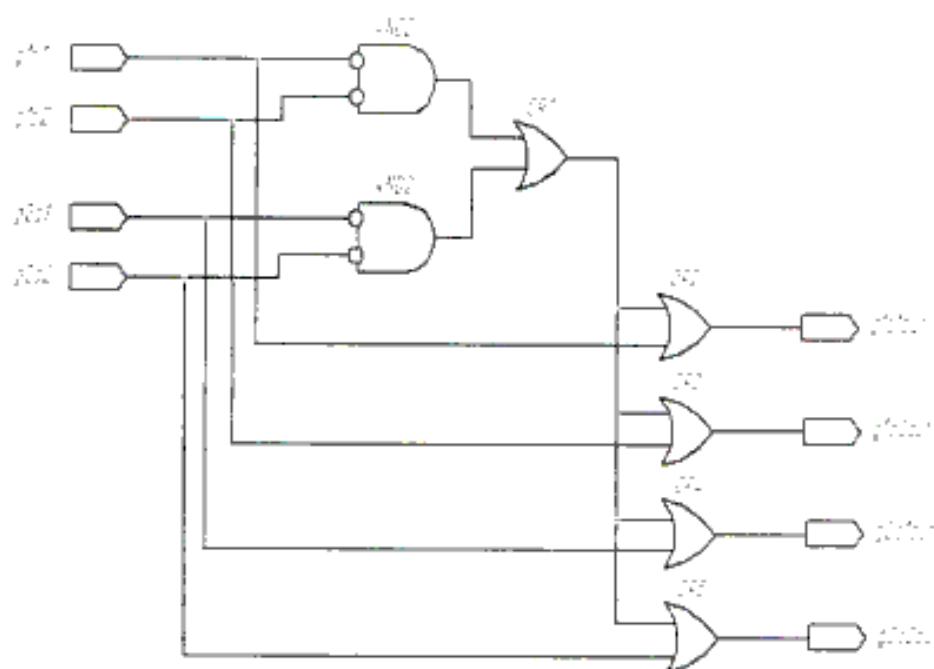


Рисунок 3.26 — Структура элемента px1

3.8 Составление алгоритма работы программного обеспечения системы управления

Алгоритм управления двигателем в вентильном режиме связан с выработкой сигналов управления ключевым усилителем мощности исходя из сигнала рассогласования и сигналов от датчиков положения ротора.

На рисунках 3.27-3.29 приведена блок-схема одного машинного такта программы, реализующей данное управление.

Входные сигналы:

- АЦП - сигнал поступающий с АЦП;
- LZ - логический сигнал «Знак»;
- LFD1 - логический сигнал с фото датчика №1;
- LFD2 - логический сигнал с фотодатчика №2.

Внутренние переменные:

- Shim - логический сигнал «ШИМ»;
- С - Значение внутреннего счетчика;
- B1 - логический сигнал, характеризует изменение сигнала сФД1;
- B2 - логический сигнал, характеризует изменение сигнала сФД2;
- LZvp - логический сигнал, характеризует внутреннее положение сигнала «Знак»;
- LShimvp - логический сигнал, характеризует внутреннее положение сигнала «ШИМ»;
- Latency 1; Latency2 - значение счетчика задержки;
- Lconst - константа, принимаемая для задержки в 100 мс, настраиваемая от частоты работы ПЛИС.

Выходные сигналы:

- LSHIM1; LZ1; LSHIM1_; LZ1_ - сигналы управления ключами 1-й обмоткой возбуждения двигателя;

- LSHIM2; LZ2; LSHIM2_; LZ2_ - сигналы управления ключами 2-й обмоткой возбуждения двигателя. Работает схема следующим образом:

Сигнал «С» представляет собою внутреннее состояние счетчика, значение которого увеличивается с каждым тактом и обнуляется, как только его значение превысит максимально допустимое, равное 256.

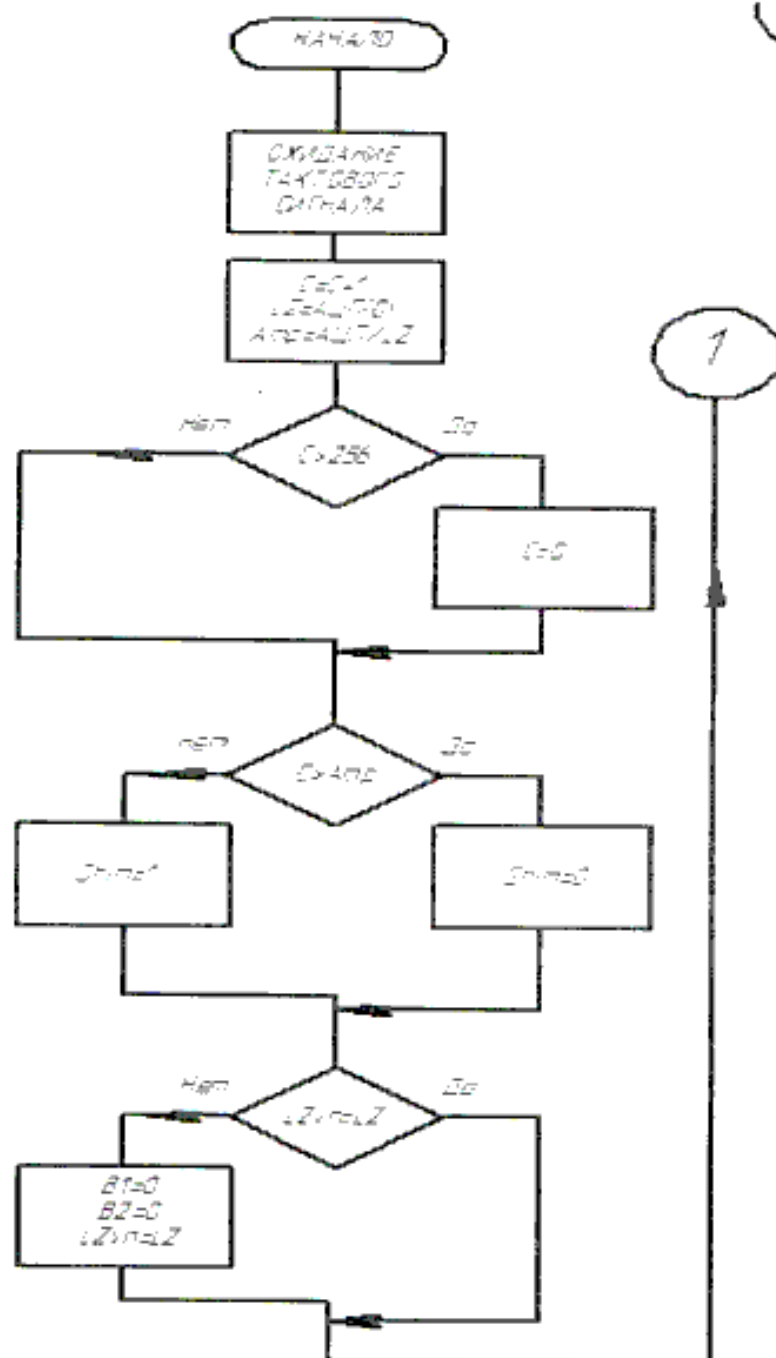


Рисунок 3.27 — Блок схема алгоритма управления шаговым двигателем

Изм.	Лист	№ докум.	Подпись	Дата

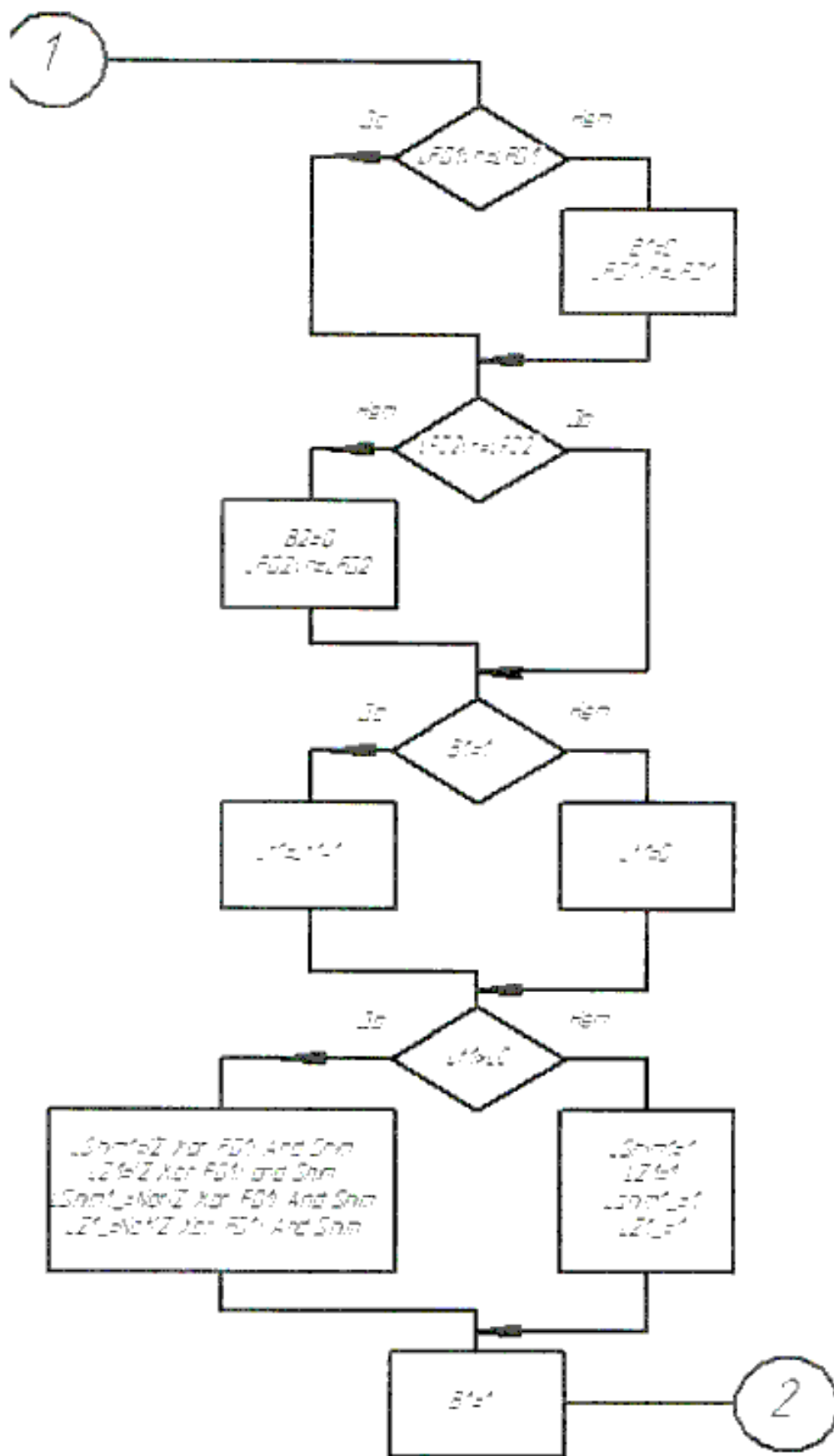


Рисунок 3.28 - Блок схема алгоритма управления шаговым двигателем
(продолжение)

Изм.	Лист	№ докум.	Подпись	Дата

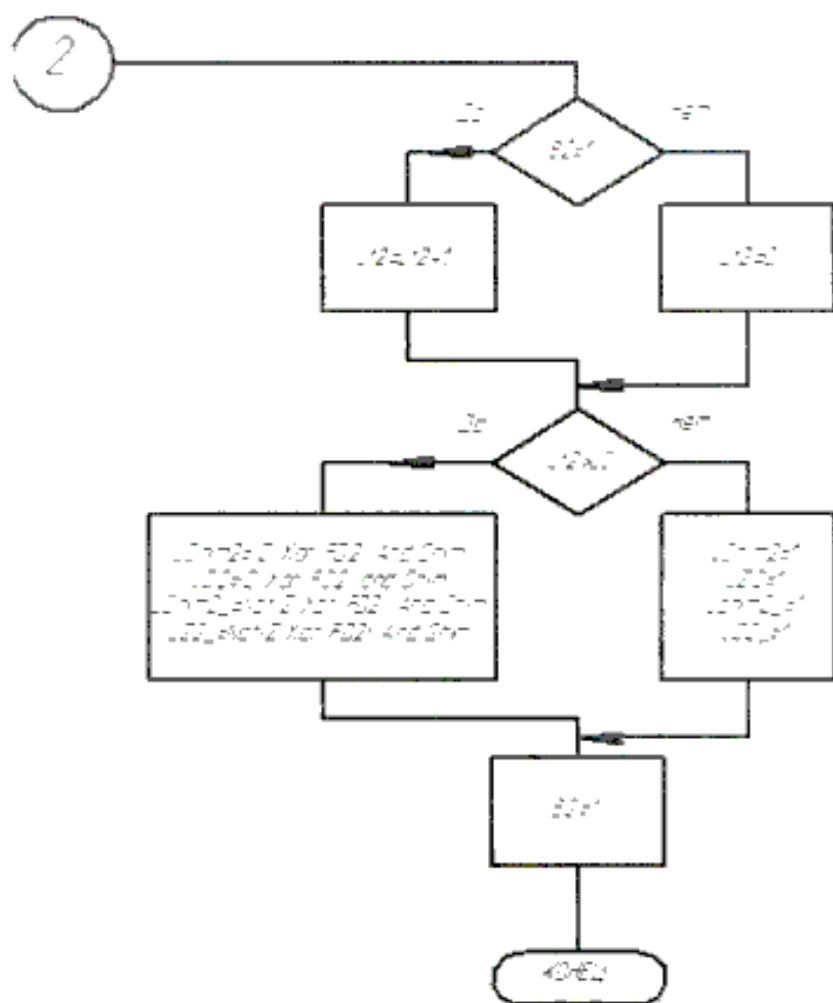


Рисунок 3.29 - Блок схема алгоритма управления шаговым двигателем (окончание)

Из сигнала, получаемого АЦП берется значение знака (DB11). В случае получения отрицательного числа, происходит инверсия всех его разрядов. Полученная амплитуда сигнала «Атр» сравнивается поразрядно с сигналом «С» счетчика. Результатом сравнения является сигнал «Shim».

Значения сигналов Знака (Zn); Фотодатчиков (Fd1, Fd2) запоминаются и хранятся. При фиксации изменения каждого из этих сигналов, логические сигналы «В1» или «В2» принимают значение «0». Это характеризует характер переключения токов в обмотках силовой части привода. В случае «В1» или «В2» равным «0» запускается внутренний счетчик, характеризующий задержку в ЮОмс. Количество тактов задержки задается в константой «Lconst». При удержании паузы, все сигналы ключей силовой части находятся в закрытом состоянии. Как только счетчик превысит показания 100 мс задержки, на выходе блока управления образуются сигналы соответствующие текущему положению ротора и сигналу рассогласования для дальнейшего движения ротора двигателя в заданном направлении. Описаны они в виде функции зависимости от сигналов «Shim» «FD» «Zn».

Далее программа ожидает наступление следующего такта.

3.9 Результаты моделирования процесса управления

Моделирование с помощью САПР ПЛИС – мощное средство отладки. Однако для воспроизведения всех возможных ситуаций объем его оказывается столь велик, что моделирование даже малой части этого объема физически неосуществимо. К тому же, нередко ошибка связана с такой комбинацией или временной последовательностью сигналов на входах ПЛИС, которая, по мысли разработчика, не возникает при работе и поэтому не проверяется и при моделировании. Использование осциллографа практически не помогает обнаружить ошибки, проявляющиеся как неправильная комбинация нескольких сигналов. Мощное средство – логический анализатор, однако он не позволяет подключиться к внутренним сигналам ПЛИС, не поступающим на ее выводы. А нередко (например, при использовании корпусов BGA) нельзя подключиться и к выводам ПЛИС. Кроме того, высокочастотный логический анализатор – дорогой и малораспространенный прибор, не у каждого разработчика есть возможность его использовать.

Весьма полезным средством отладки устройства, реализованного на ПЛИС, может оказаться логический анализатор, размещенный внутри этой ПЛИС. Возможность такого размещения, как правило, имеется, поскольку логические ресурсы ПЛИС очень редко задействованы полностью. Обычно часть их остается свободной, и этой части достаточно для реализации логического анализатора. Такой анализатор имеет доступ ко всем логическим сигналам – как к внешним, поступающим на выводы ПЛИС, так и к внутренним, не поступающим на ее внешние выводы. Он позволяет запоминать последовательность сигналов или их комбинаций в сдвиговом регистре, организованном в ПЛИС на одном или нескольких блоках памяти. Причем запись может вестись как в каждом такте, так и по условию, выработанному на основе логических сигналов ПЛИС. Запись останавливается (по достижении ошибки) либо по условию, выработанному внутри ПЛИС, либо по внешнему сигналу, поступающему, например, от тестового оборудования. После этого сдвиговый регистр хранит информацию и о сигналах на момент проявления ошибки, и о сигналах за предыдущее время (предыстория). Считав эти данные, можно получить информацию о непосредственном проявлении ошибки и о том, что ей предшествовало. Анализ этой информации, как правило, позволяет выявить характер ошибки и определить пути ее исправления. Важное достоинство такого логического анализатора – большая гибкость. Можно выбирать как ширину записываемой информации (число записываемых в одном такте бит), так и ее глубину (глубину сдвигового регистра). Разработчик свободен в выборе того, какие биты или их логические комбинации записывать, каковы условия записи и ее останова.

Работает логический анализатор следующим образом. В начальный момент значение триггера TGS равно логическому "0". При этом допускается формирование сигнала разрешения сдвига от комбинации входных сигналов. В ходе работы ПЛИС информация записывается в сдвиговый регистр. При обнаружении ошибки триггер TGS переводится в состояние логической "1". При этом сдвиг от комбинации входных сигналов запрещается, а по мере поступления

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		74

сигналов чтения производится сдвиг содержимого сдвигового регистра, так что на выходную шину каждый раз подается очередное сохраненное в регистре значение, т.е. сигнал сдвига формируется от сигнала чтения. Запрет сдвига от комбинации входных сигналов на этапе чтения гарантирует отсутствие лишних, не связанных с чтением содержимого сдвигового регистра, сдвигов, которые привели бы к пропаданию части сохраненной информации.

По данной блок-схеме реализован логический анализатор в ПЛИС типа AT40K05A1 фирмы Atmel. В составе логического анализатора использовалась стандартная функция Shift Register (RAM Based), доступная через MegaWizard Plugin Manager, входящую в САПР ПЛИС System Designer. Применение стандартной функции позволило создать логический анализатор с минимальными затратами труда и времени разработчика. Выход логического анализатора реализован как 32-бит регистр, доступный по чтению по определенному адресу шины PCI. Установка триггера TGS в состояние логической "1" осуществлялась по чтению из этого регистра. При поиске нескольких различных ошибок менялись ширина и глубина сдвигового регистра, совокупность входных сигналов, логика формирования сигнала разрешения сдвига. Применение логического анализатора позволило значительно ускорить процесс отладки.

Результаты симуляции работы ПЛИС, сконфигурированной для управления шаговым двигателем показан на рисунках 3.30 и 3.31.

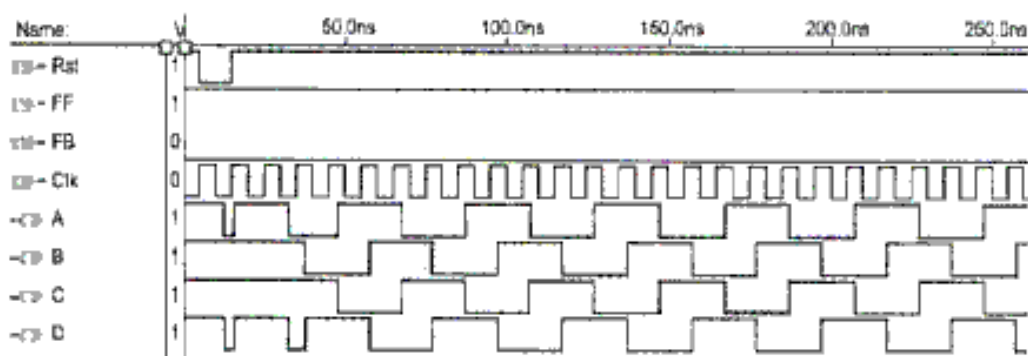


Рисунок 3.30 — Формирование сигналов управления при фиксированных сигналах с фотодатчиков

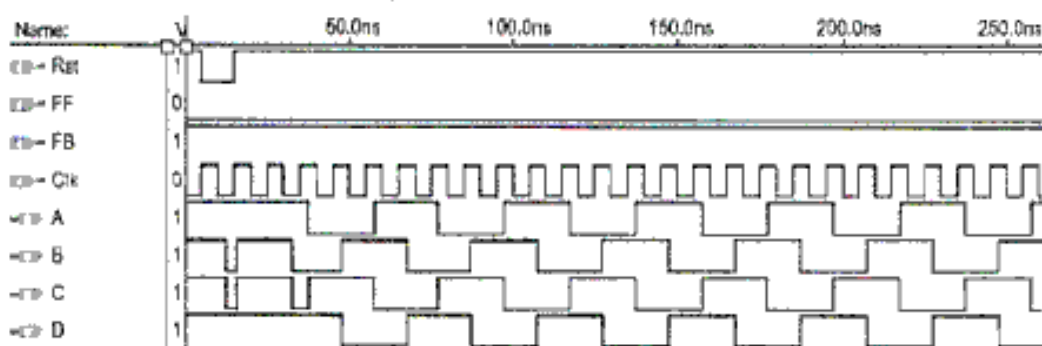


Рисунок 3.31 — Формирование сигналов управления при фиксированном сигнале ошибки

Выводы по разделу три

В ходе работы над разделом спроектирована структурная схема системы управления шаговым двигателем на базе ПЛИС. Разработана принципиальная электрическая схема, выбраны основные компоненты схемы: аналого-цифровой преобразователь, источник опорного напряжения, генератор тактовых импульсов.

Описана структура ячейки ПЛИС и система управления вводом-выводом.

Рассмотрена САПР ПЛИС System Designer, описаны основы работы с данной системой при проектировании ПЛИС. Составлено программное обеспечение управлением двигателем в вентильном режиме. Представлена структура ПЛИС на языке описания устройств.

По результатам моделирования и отладки ПЛИС в режиме симуляции с использованием интегрированных пакетов прикладных программ System Designer разработанная структура ПЛИС является работоспособной.

									Лист
									76
Изм.	Лист	№ докум.	Подпись	Дата	140400.2016.061.000 ПЗ				

4 ОРГАНИЗАЦИОННО-ЭКОНОМИЧЕСКИЙ РАЗДЕЛ

4.1 Организация инновационной деятельности предприятия

Инновационная направленность экономического развития, растущая необходимость технологического обновления особо подчеркивают важность четкого соответствия принципов организации и структурно-организационных взаимосвязей в инновационной деятельности. Речь идет о поиске оптимальных путей привнесения инновационных импульсов в экономическую реальность. Понятно, что по мере расширения инновационных преобразований требуется научно обоснованное формирование функционально-элементной базы инновационного развития. Внедрением и производством научно-технических и продуктовых новшеств занимаются, как правило, крупные фирмы, имеющие хорошую ресурсную базу, квалифицированные кадры и определенные позиции на рынках. Инновационные предприятия различаются также в зависимости от преобладающего типа инноваций, являющихся объектом их деятельности. Так, они подразделяются на следующие классы:

- инноваторы-лидеры, ориентирующиеся на новые научные открытия, новые способы применения и пионерные изобретения;
- инноваторы-лидеры, создающие принципиально новые процессы и продукты на основе применения ранее сделанных открытий и изобретений;
- инноваторы, создающие базовые инновации на основе старого способа;
- инноваторы, производящие, модернизирующие и рационализирующие новшества;
- инноваторы, создающие новшества, замещающие более ранние продукты и технологии;
- инноваторы, специализирующиеся на продажах и маркетинге новшеств;
- инноваторы, создающие инновации, удовлетворяющие спрос на новых рынках;
- инноваторы, занимающиеся диффузией, распространением и тиражированием новшеств в различные сферы народного хозяйства.

Конкурентная политика, основанная на инновативности компаний, требует создания гибкой организационной структуры, позволяющей оптимизировать процесс разработки и внедрения инноваций. Анализ инновационной деятельности крупных компаний позволяет выделить ряд общих положений, характеризующих современные особенности организации инновационного процесса.

В условиях научно-технического прогресса расширяется разрыв между количеством создаваемых научно-технических идей и объемами материальных и трудовых ресурсов, необходимых для их реализации. В итоге формируется противоречие между «мощностью» изобретательской деятельности и способностью реализации ее результатов. Это противоречие проявляется в самых разнообразных формах: в отношении небольших компаний оно выражается в недостатке финансовых, материальных и трудовых ресурсов. Компании-первооткрыватели страдают в первые годы своего существования (если они выживают) от нехватки капитала, кадров управляющих и технологов,

необходимых для создания и налаживания производства и сбыта продукции. К Освоение новых идей и создание новых продуктов и услуг открывает новые возможности для бизнеса — как крупного, так и мелкого. Однако ограниченность человеческих, технических и финансовых ресурсов ведет к необходимости выбора проектов и размещения ресурсов в соответствии с корпоративными стратегическими целями, то есть встает вопрос о важности и необходимости управления процессом внедрения нововведений. Инновационный процесс может осуществляться различными путями. Выбор наиболее эффективного способа в каждом конкретном случае зависит от таких условий и факторов, как:

- характер технологии;
- характер рынка конечной продукции;
- потенциал организации;
- экономический климат;
- степень компетентности руководства.

При организации процесса освоения нововведения осуществляется контроль над последовательностью многоэтапных процессов, осуществляемых различными группами, динамичным взаимодействием многих людей, подразделений и организаций. Успех, как правило, связан с преодолением многих препятствий и сопротивления, поэтому нововведения невозможны без инициативы и настойчивости, крупных затрат в области технических, организационных и социальных факторов.

При организации работы по освоению (разработке и применению) нововведений в задачу руководства фирмы входит выработка концепции, позволяющей новатору определить эффективную стратегию выхода на рынок, прогнозировать успех или неудачу. При этом особое внимание уделяется предупреждению возможности неудачи. При организации управления инновационным процессом особое внимание уделяется таким проблемам, как:

- целесообразность выбора эффективной технологии, наилучших организационных форм;
- создание организационного климата, способствующего нововведениям, и стимулирование работников;
- решение проблем передачи технологии, взаимодействия отделов НИОКР и маркетинга;
- отбор потенциально успешных проектов;
- определение экономически целесообразного объема затрат и ресурсов.

На следующем этапе изучаются последствия внедрения новой продукции в ассортимент компании, в частности возможный эффект развития диверсификации. Диверсификация важна не тем, что сокращает экономический риск, а тем, что уменьшает зависимость от потребителей и источников снабжения. Подобным же образом координация, осуществляемая через торгово-промышленные ассоциации, переплетающиеся директораты, совместные предприятия, может рассматриваться как средство обеспечения более значимого влияния фирмы на рынке. Отсюда – необходимость расширения различного рода межфирменных связей, совместных действий как в экономической (соглашения, стратегические союзы, совместные предприятия, совместные НИОКР и т. д.), так и в

политической сферах (например, требование усиления протекционистской политики). В ходе освоения новой продукции выявляются недостатки изделия, устранение которых требует иногда значительных усилий, в том числе и смежных предприятий. Немаловажную роль играет реакция покупателя на новый товар. Предложение на рынок изделия, полностью удовлетворяющего запросы потребителей, повышает авторитет производителя, косвенно способствует сбыту и другой его продукции.

Особую важность приобретает анализ процесса разработки крупными корпорациями нововведений и их реализации в производстве, особенностей и принципов эффективного управления и деятельности менеджеров на всех этапах этого процесса. В процессе освоения нововведений можно выделить три основных этапа:

- научные исследования и разработки;
- поиск возможностей применения новых научных результатов в производстве.
- реализацию на практике новых решений.

Понимание первого этапа связано с тем, что эффективное управление исследованиями, затруднено невозможностью выработки универсального критерия, позволяющего выявить приоритеты в финансировании и распределении ресурсов между различными исследованиями, в том числе теми, которые соответствуют традиционной сфере деятельности корпорации, и теми, которые ведутся в новых направлениях.

Выработка перспектив нового бизнеса требует согласования новых идей, возникших в результате научных исследований, со сложившимися или формирующимися потребностями рынка. В процессе обоснования стратегии развития новых форм деятельности в рамках корпорации должны быть взаимоувязаны возможные технические решения, потребности рынка и интересы корпорации. Концептуализация новых перспектив развития производства может осуществляться в соответствии с одним из трех альтернативных подходов:

1) Менеджер, ориентированный на рынок, направляет исследования в области, связанные с производством наиболее конкурентоспособной продукции (рыночно-ориентированный подход);

2) Научные работники, понимающие интересы и цели корпорации, ведут поиск новых технологий и научных открытий с хорошим коммерческим потенциалом (техничко-ориентированный подход);

3) Специалисты по сбыту и научные работники сотрудничают с целью развития новой технологии с хорошими рыночными возможностями.

Крупные корпорации стремятся объединить усилия ученых и менеджеров (специалистов по бизнесу) в поиске новых возможностей развития производства. Второй этап включает две стадии:

1) выработку на основе результатов поисковых исследований новой идеи бизнеса, учитывающей как сложившийся уровень технического развития, так и состояние рынка;

2) стадию предварительных разработок, включающую формирование группы из научных специалистов и предпринимателей, занятых разработкой нового продукта или процесса, соответствующих новой идее.

Третий этап (процесс реализации нововведений) также включает две стадии: предпринимательскую и организационную. Предпринимательская стадия связана с преобразованием зарождающегося нового производства в самостоятельное подразделение корпорации, а организационная – с преобразованием специализированного бизнеса в сложное конгломератное производство. Внутрифирменное стимулирование инновационной деятельности предполагает такое расширение стратегии корпорации, которое позволяет охватить новую деятельность, в большинстве случаев лежащую в стороне от сложившейся ориентации (стратегический аспект). Структурный аспект стимулирования связан с множеством организационных и административных механизмов, применяемых руководством корпораций для достижения текущих целей. Нередко лидеры инициативных исследовательских групп выступают в качестве разработчиков новых перспектив бизнеса. Обычно лидеры исследовательских групп имеют широкие контакты как в рамках корпорации, так и за ее пределами. Они, как правило, достаточно компетентны в научных аспектах новой идеи, близки и интересуются экономическими проблемами производства, контактируют со специалистами по бизнесу, понимают потребности рынка. Поэтому лидеры групп обычно выступают в качестве главных действующих лиц в процессе согласования различных аспектов новых разработок, наиболее глубоко включены в процесс выявления новых возможностей производства, связанных с новой идеей, чаще других выступают в качестве “защитников” новой разработки на разных ее этапах.

4.2 Расчет экономической эффективности дипломного проекта с использованием методов дисконтирования

Исходные данные к расчету эффективности внедрения в производства системы управления шаговым двигателем на базе ПЛИС представлены в таблице 4.1.

Таблица 4.1 — Расчёт затрат на оплату труда

Показатель	Единица измерения	Значение
Численность разработчиков	Чел.	1
Трудоёмкость	Чел.-час.	120
Часовая тарифная ставка	Руб.	380
Фонд оплаты труда	Руб.	45600
Отчисления во внебюджетные фонды (30 % от ФОТ)	Руб.	13680

Составим смету затрат на разработку, внедрение и обслуживание программного проекта и занесем данные в таблицу 4.2.

Таблица 4.2 — Смета затрат

Наименование статьи затрат	Единица измерения	Значение
Фонд оплаты труда	Руб.	45600
Отчисления во внебюджетные фонды	Руб.	13680
Амортизация оборудования	Руб.	1000
Накладные расходы	Руб.	63840
Прибыль	Руб.	20000
Налоги	Руб.	6000
Итого по смете	Руб.	150120

Следовательно, на разработку, внедрение и обслуживание проекта по учету и контролю расчетов с поставщиками в сфере коммунальных услуг необходимы инвестиции в размере 150120 рублей. Инвестором проекта является ПАО «Челиндбанк». Инвестиции используются в течении трёх лет, годовая процентная ставка за кредит (по программе поддержки развития и внедрения инновационных технологий) составляет 10%.

Годовой экономический эффект от внедрения данного проекта получается за счёт сокращения величины затрат на изготовление систем управления шаговыми двигателями на базе дискретных элементов. По данным затраты на интегральные схемы и изготовление пультов управления монтажом на печатных платах за последние пять лет в среднем составляли 98000 тысяч рублей. Проект предусматривает снижение временных затрат на расчеты и оплату счетов поставщиков и эффективное использование денежных средств на транзитном счете, не нарушая законодательства, в результате решения полностью снижаются штрафные санкции со стороны поставщиков и снижается задолженность перед поставщиками.

Рассчитаем чистую приведенную стоимость (NPV):

$$NPV = \sum_{t=1}^n \frac{P_t}{(1+r)^t} - IC, \quad (4.1)$$

Где P_t --- чистый денежный поток для i -го периода;

IC - начальные инвестиции;

r - ставка дисконтирования (стоимость капитала, привлеченного для инвестиционного проекта);

$$NPV = \frac{98000}{1+0.1} + \frac{98000}{(1+0.1)^2} + \frac{98000}{(1+0.1)^3} - 150120 = (89090 + 80992 + 73684) - 150120 = 93646 \text{ руб.}$$

Расчёты показывают, что чистая приведенная стоимость составляет 93646 рублей, что значительно больше нуля. Следовательно, проект следует принять.

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		81

Рассчитаем накопленную величину дисконтированных доходов (PV).

$$PV = \sum_x \frac{P_k}{(1+r)^k} \quad (4.2)$$

$$PV = \frac{98000}{1+0.1} + \frac{98000}{(1+0.1)^2} + \frac{98000}{(1+0.1)^3} = 243766 \text{ руб.}$$

Расчёты показывают, что накопленная величина дисконтированных доходов составляет 243766 рублей.

Рассчитаем индекс рентабельности инвестиций (PI):

$$PI = \sum_x \frac{P_k}{(1+r)^k} / IC \quad (4.3)$$

$$PI = (\frac{98000}{1+0.1} + \frac{98000}{(1+0.1)^2} + \frac{98000}{(1+0.1)^3}) / 150120 = 1,62.$$

Расчёты показывают, что индекс рентабельности инвестиций больше единицы, следовательно, его следует принять [11].

Логика критерия PI такова: он характеризует доход на единицу затрат. В данном случае на один рубль затрат приходится 1,62 рубля дохода.

Выполним расчёт внутренней нормы рентабельности проекта (internal rate of return, IRR), т. е. такой ставки дисконта, при которой значение чистого приведенного дохода равно нулю.

IRR = r, при котором $NPV = f(r) = 0$.

Если: $IRR > CC$, то проект следует принять, так как в нашем случае $CC = 10\%$, то $IRR = 36\% > CC = 10\%$.

Представим полученные данные в виде графика (рисунок 4.1).

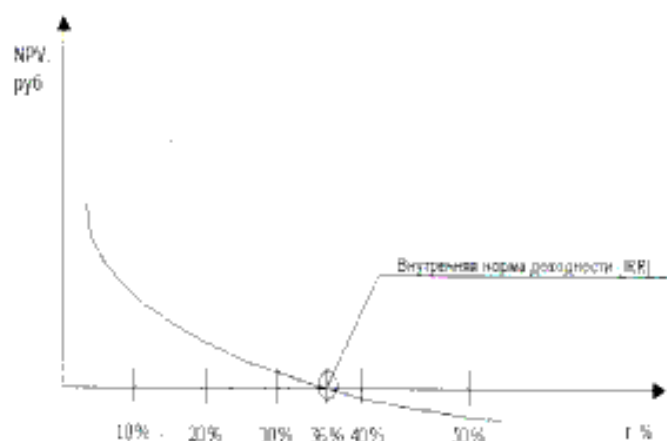


Рисунок 4.1 — Зависимость чистой приведенной стоимости к

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		82

Рассчитаем срок окупаемости инвестиций (PP):

Срок окупаемости (PP) рассчитывается делением единовременных затрат на величину годового дохода, обусловленного ими, т. е.

$$PP = IC/P = 150120/98000 = 1,53 \text{ года} . \quad (4.4)$$

Чем короче срок окупаемости, тем менее рискованным является проект. Следовательно, проект по разработке программного обеспечения системы управления шаговым двигателем на базе ПЛИС является безрисковым, так как окупится за полтора года и начнёт приносить прибыль.

Выводы по разделу четыре

В разделе рассмотрена классификация предприятий, занимающихся инновационной деятельностью, основные факторы, влияющие на выбор направления, проблемы, связанные с организацией инновационной деятельности на предприятии.

Также рассмотрены этапы и подходы при концептуализации нововведений.

Рассчитана экономическая эффективность дипломного проекта с использованием методов дисконтирования. Для реализации проекта планируется привлечение инвестиций со стороны НАО «Челиндбанк».

Проект предусматривает снижение временных затрат на расчеты и оплату счетов поставщиков и эффективное использование денежных средств на транзитном счете, не нарушая законодательства, в результате решения полностью снижаются штрафные санкции со стороны поставщиков и снижается задолженность перед поставщиками.

Проект по разработке программного обеспечения системы управления шаговым двигателем на базе ПЛИС является безрисковым, так как окупится за 1,5 и начнёт приносить прибыль.

5 БЕЗОПАСНОСТЬ ЖИЗНЕДЕЯТЕЛЬНОСТИ

5.1 Организация рабочего места программиста

Специалисты различных направлений и специализаций после тщательных исследований пришли к выводу, что причиной отклонений здоровья пользователей являются не столько сами компьютеры, сколько недостаточно строгое соблюдение принципов эргономики. Ученые озабочены тем, чтобы появление и активное применение компьютерных технологий не стало дополнительным фактором ухудшения здоровья. Для этого необходимо, чтобы рабочее место отвечало бы гигиеническим требованиям безопасности.

На рисунке 5.1 представлена система взаимодействия человека, машины и окружающей пользователя среды. Исходя из этой системы взаимодействия, сформулируем основные требования к организации рабочих мест и рабочего процесса, которые помогут уменьшить воздействие вредных факторов от ПК.

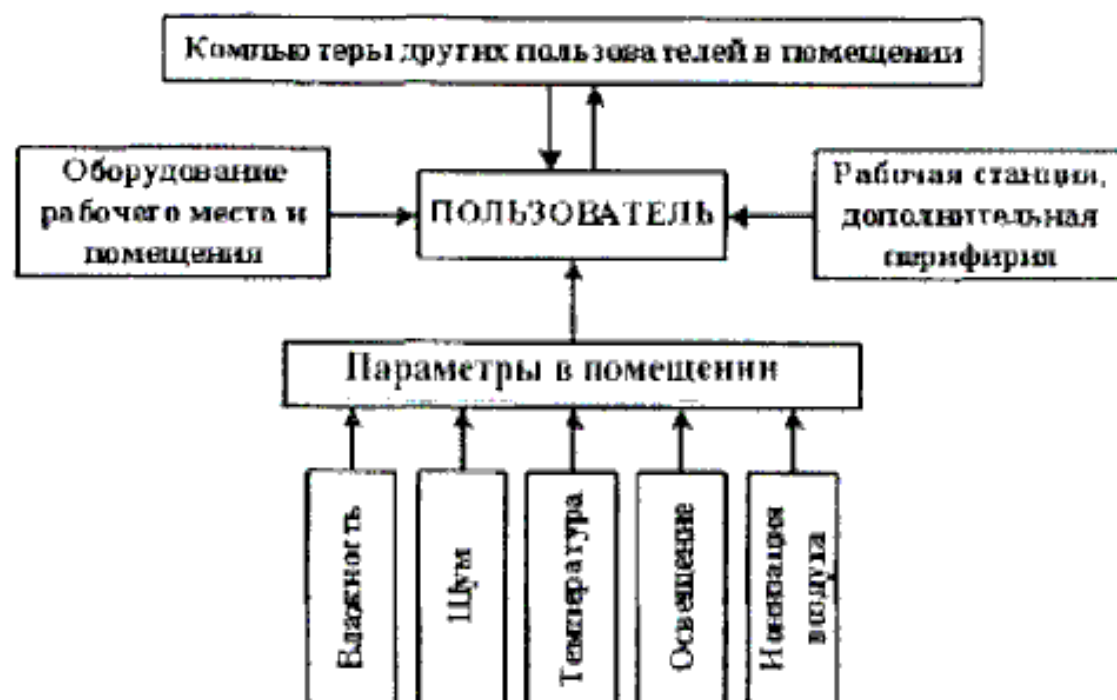


Рисунок 5.1 - Система взаимодействия человека, машины и окружающей среды.

В помещениях, где используются компьютеры, формируются специфические условия окружающей среды – микроклимата. При низких значениях влажности в воздухе накапливаются микрочастицы с высоким электростатическим зарядом, способные адсорбировать частицы пыли и поэтому обладающие аллергизирующими свойствами. Норма по влажности – 40 – 60%. Для поддержания нормальной температуры и относительной влажности в

помещении необходимо регулярное проветривание, а также наличие систем ионизирования и кондиционирования воздуха.

Для улучшения условий труда важна грамотная организация искусственного освещения, необходимы естественный свет и наличие жалюзи. Специалисты рекомендуют применять преимущественно люминесцентные лампы. Их располагают в виде сплошных или прерывистых линий, расположенных сбоку от рабочих мест, параллельно линии мониторов. При периметральном расположении компьютеров светильники располагают локализовано над рабочим местом ближе к переднему краю, обращенному к пользователю. Существуют специальные люминесцентные лампы, которые излучают свет различного качества, имитируя, таким образом, полный спектр естественного солнечного света. Общая освещенность должна быть 300 – 500 люкс. Дополнительные источники (настольные лампы) должны использоваться только для подсветки документов и не создавать бликов на поверхности экрана. Естественный свет из окон должен падать сбоку, желательно слева.

Другая, не менее серьезная проблема – обеспечение электромагнитной безопасности работающих за компьютером с дополнительными периферийными устройствами. При одновременном их включении вокруг пользователя создается поле с широким частотным спектром. В этом случае немаловажную роль играет оборудование рабочего места в помещении. Однако на практике обеспечить нормальную электромагнитную обстановку удается далеко не всегда.

Специалисты предлагают принять во внимание следующее:

- помещение, где эксплуатируются компьютеры и периферия к ним, должно быть удалено от посторонних источников электромагнитных излучений (электрощиты, трансформаторы и т.д.);

- если на окнах помещения имеются металлические решетки, то они должны быть заземлены, т.к. несоблюдение этого правила может привести к резкому локальному повышению уровня полей в какойлибо точке помещения и сбоям в работе компьютера;

- групповые рабочие места желательно размещать на нижних этажах здания, так как вследствие минимального значения сопротивления заземления именно на нижних этажах здания существенно снижается общий электромагнитный фон.

При неверной общей планировке помещения, неоптимальной разводке питающей сети, неэффективном устройстве контура заземления, собственный электромагнитный фон помещения может оказаться настолько сильным, что обеспечить на рабочих местах требования санитарных правил в большинстве случаев невозможно.

Особое внимание следует уделять организации групповых рабочих мест, так как в этом случае пользователь подвержен излучению не только своего компьютера, но и тех, которые расположены рядом с ним. Каждое рабочее место создает своеобразное магнитное поле, радиус которого может быть 1,5 м и более, причем излучение исходит не только от экрана, но и от задней и боковых стенок монитора. Расстояние от глаз пользователя до экрана монитора должно быть не

менее 50 см, оптимально – 60 – 70 см. Расстояние от экрана монитора до задней стенки монитора соседнего ряда должно быть не менее 2 м, а расстояние между боковыми стенками – не менее 1,2 м. Площадь помещения на одного взрослого пользователя должна составлять не менее 6 м², объем помещения – не менее 20 м³.

Высота стола должна регулироваться от 680 до 800 мм, если это невозможно, стол должен быть высотой 725 мм и иметь подставку для ног. Кресло пользователя обязательно должно быть подъемноповоротным и регулируемым по высоте и углам наклона сиденья и спинки, а также по расстоянию спинки от переднего края сиденья. Рабочее место должно быть оснащено подпором для документов, расположенных вблизи экрана.

Центр электромагнитной безопасности (г. Москва) разработал следующие рекомендации:

- угол зрения пользователя по отношению к горизонту должен быть 15 – 35°;
- высоту клавиатуры надо отрегулировать так, чтобы кисть пользователя располагалась горизонтально;
- спинка кресла должна поддерживать спину пользователя;
- угол между бедрами и позвоночником должен составлять 90 градусов;
- подставку с оригиналом документа следует установить в одной плоскости с экраном и на одной с ним высоте;
- следует увеличить влажность в помещении: разместить цветы, аквариум в радиусе 1,5 м от компьютера; оптимальная влажность 60% при температуре 21 С;
- рекомендуемая полная продолжительность рабочего времени за экраном монитора взрослого пользователя, – 6 ч за 8-часовой рабочий день;
- в конце каждого часа работы необходимо делать 5-минутный перерыв, а через 2 ч – 15-минутный, выключать монитор и покидать рабочее место.

Из американских рекомендаций по работе с ПЭВМ отметим следующие:

- экран должен находиться примерно на 20 градусов ниже уровня глаз;
- легче всего читаются темные буквы на светлом фоне;
- каждые 10 мин отводите взгляд на 5 – 10 секунд в сторону от экрана.

После каждых 40 – 45 мин работы необходима физкультурная пауза – вращение глазами по часовой стрелке и обратно, простые гимнастические упражнения для рук.

Оператору запрещается приступать к работе при:

- отсутствии информации о результатах аттестации условий труда на данном рабочем месте или при наличии информации о несоответствии параметров данного оборудования требованиям санитарных норм;
- обнаружении неисправности оборудования;
- отсутствии защитного заземления устройств компьютера;
- отсутствии углекислотного или порошкового огнетушителя и аптечки первой помощи.

Оператору во время работы запрещается:

- касаться одновременно экрана монитора и клавиатуры;
- прикасаться к задней панели системного блока при включенном питании.

					140400.2016.061.000 ПЗ	Исх
Изм.	Лист	№ докум.	Подпись	Дата		86

переключать разъемы интерфейсных кабелей периферийных устройств при включенном питании:

- загромождать верхние панели устройств бумагами и посторонними предметами;
- допускать захламленность рабочего места бумагой в целях недопущения накопления органической пыли;
- производить отключение питания во время выполнения активной задачи;
- производить частые переключения питания;
- допускать попадание влаги на поверхность системного блока, монитора, рабочую поверхность клавиатуры, дисководов, прицепов и др. устройств;
- включать сильно охлажденное (принесенное с улицы в зимнее время) оборудование;
- производить самостоятельно вскрытие и ремонт оборудования.

Схема организации рабочего места оператора ПЭВМ, осуществляющего программирование и отладку шагового привода на базе ПЛИС показана на рисунке 5.2.

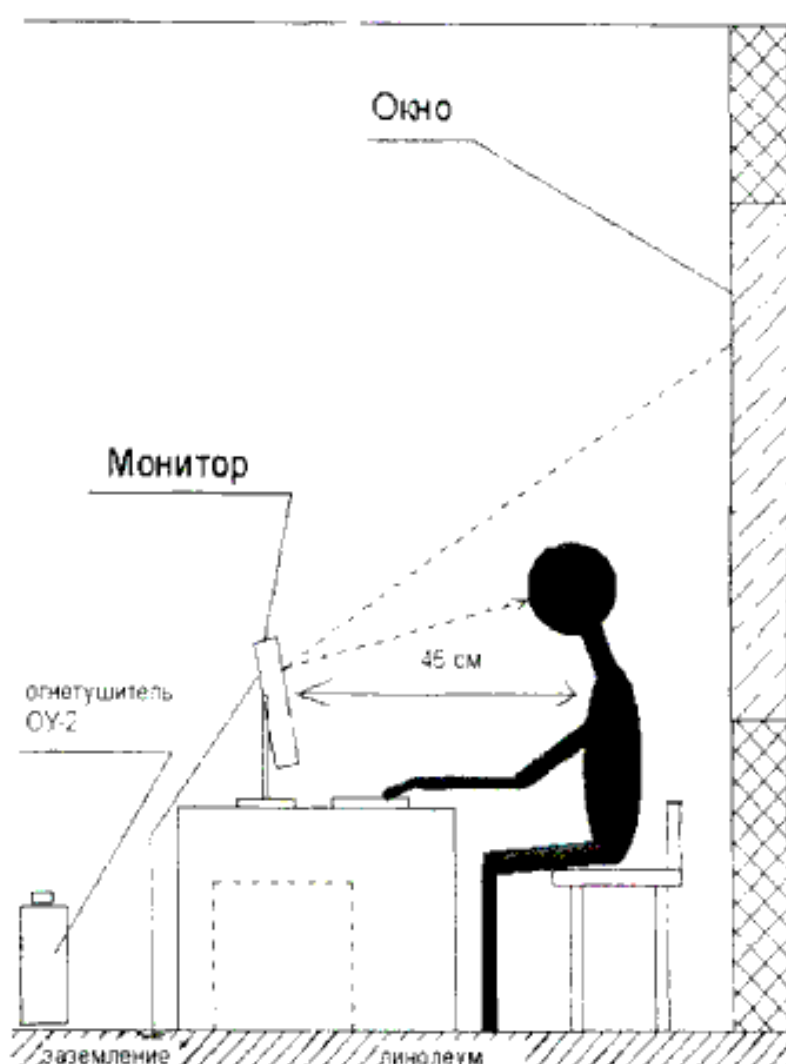


Рисунок 5.2 — Схема организации рабочего места оператора ПЭВМ

Оператор во всех случаях обнаружения обрыва проводов питания, неисправности заземления и других повреждений электрооборудования, появления запаха гари обязан:

– немедленно отключить питание и сообщить об аварийной ситуации руководителю и дежурному электрику предприятия;

– при обнаружении человека, попавшего под напряжение, немедленно освободить его от действия тока путем отключения электропитания и до прибытия врача оказать потерпевшему первую медицинскую помощь;

– при любых случаях сбоя в работе технического оборудования или программного обеспечения немедленно вызвать представителя инженерно-технической службы эксплуатации вычислительной техники;

– в случае появления рези в глазах, резким ухудшением видимости, невозможности сфокусировать взгляд или навести его на резкость, появлении боли в пальцах и кистях рук, усиления сердцебиения немедленно покинуть рабочее место, сообщить о происшедшем руководителю работ и обратиться к врачу;

– при возгорании оборудования отключить питание и принять меры к тушению очага пожара при помощи углекислого или порошкового огнетушителя, вызвать пожарную команду и сообщить о происшествии руководителю работ.

5.2 Расчет естественного освещения

Целью расчета естественного освещения является определение площади световых проемов, то есть количества и геометрических размеров окон, обеспечивающих нормированное значение коэффициента естественного освещения (К.Е.О.).

Исходные данные:

Требуется обеспечить нормированное значение К.Е.О в помещении, на высоте от земли 0,5 м (1 этаж), длина помещения $L = 3$ м, глубина помещения $B = 5,5$ м, высота $H = 3$ м, высота от уровня пола до верха окна $h_1 = 2,7$ м, окна здания ориентированы на северо-запад.

План и разрез помещения представлены на рисунке 5.3

Определение нормирующего значения К.Е.О., E_n , по формуле:

$$E_n = E_H \cdot m_K \quad 5.1$$

где E_H – значение К.Е.О., определяемое согласно [21] в зависимости от характеристики выполняемой работы. В данном случае разряд зрительной работы IV – средней точности, средним контрастом объекта с фоном и наименьшим объектом различения от 1 до 5 мм, при боковом освещении $E_H = 1,5\%$;

m_K – коэффициент светового климата, в зависимости от вида световых проемов, их ориентации по сторонам горизонта и номера группы административного района. Согласно [21] Челябинская область расположена в первом административном районе, окна здания ориентированы на юго-запад, таким образом, $m_K = 1$;

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		88

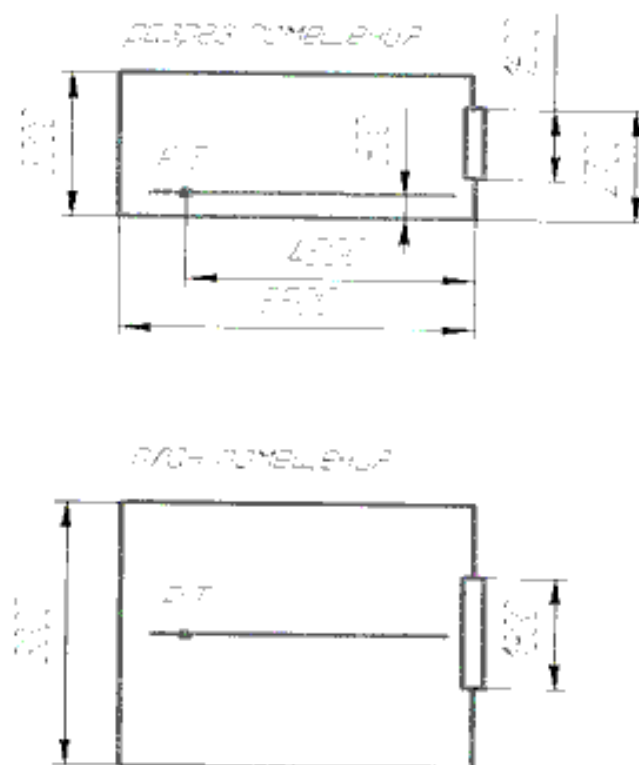


Рисунок 5.3 – Расчетная схема

Подставив значения в формулу 5.1, получим

$$E_N = 1 \cdot 1,5 = 1,5$$

Суммарная площадь световых проемов, S_o , определяется по формуле

$$S_o = S_n \cdot \frac{E_N \cdot \eta_0 \cdot K_3 \cdot K_{z2}}{100 \cdot \tau_0 \cdot r_1} \text{, м}^2 \quad 5.2$$

где S_n – площадь пола, $S_n = 16,5 \text{ м}^2$;

η_0 – световая характеристика окна, зависящая от геометрических параметров помещения, определяемая по [22], на основании отношений:

$$\frac{L}{B} = \frac{3}{5,5} = 0,55; \quad \frac{B}{h_1} = \frac{5,5}{2,7} = 2,04$$

$$\eta_0 = 31;$$

K_3 – коэффициент запаса, учитывающий загрязнение светопропускающего материала светового проема, зависит от типа помещения и расположения стекол, определяется по [22], при вертикальном расположении окон, $K_3 = 1,2$;

K_{z2} – коэффициент учитывающий затемнение окон противостоящими зданиями, при их отсутствии, $K_{z2} = 1$;

r_1 – коэффициент учитывающий отраженный свет. Для определения коэффициента определим средневзвешенный коэффициент отражения ρ

Изм.	Лист	№ докум.	Подпись	Дата

$$\rho = \frac{\rho_{пол} \cdot S_{пол} + \rho_{пот} \cdot S_{пот} + \rho_{ст} \cdot S_{ст}}{S_{пол} + S_{пот} + S_{ст}}, \quad 5.3$$

где $\rho_{пол}$ – коэффициент отражения пола, $\rho_{пол} = 0,25$;
 $\rho_{пот}$ – коэффициент отражения потолка, $\rho_{пот} = 0,7$;
 $\rho_{ст}$ – коэффициент отражения стены, $\rho_{ст} = 0,4$;
 $S_{пот}$ – площадь потолка, $S_{пот} = 16,5 \text{ м}^2$;
 $S_{ст}$ – площадь стены, $S_{ст} = 42 \text{ м}^2$.
 Подставив значения, получим

$$\rho = \frac{0,25 \cdot 16,5 + 0,7 \cdot 16,5 + 0,4 \cdot 42}{16,5 + 16,5 + 42} = 0,43$$

В соответствии с [22] определим коэффициент $\tau_1 = 5,28$;

τ_0 – общий коэффициент светопропускания светового проема, определяется по формуле

$$\tau_0 = \tau_1 \cdot \tau_2 \cdot \tau_3 \cdot \tau_4, \quad 5.4$$

где τ_1 – коэффициент светопропускания материала, для одинарного оконного листового стекла, $\tau_1 = 0,9$;

τ_2 – коэффициент, учитывающий потери света в переплетах окна, для деревянных одинарных переплетов, $\tau_2 = 0,65$;

τ_3 – коэффициент, учитывающий потери света в несущих конструкциях, при отсутствии $\tau_3 = 1$;

τ_4 – коэффициент, учитывающий потери света в солнцезащитных устройствах, для убирающихся жалюзи и штор, $\tau_4 = 1$.

Подставим значения в формулу 5.4, получим

$$\tau_0 = 0,9 \cdot 0,65 \cdot 1 \cdot 1 = 0,585$$

Суммарную площадь световых проемов определим по формуле 5.2

$$S_{\sigma} = 16,5 \cdot \frac{1,5 \cdot 31 \cdot 1,2 \cdot 1}{100 \cdot 0,585 \cdot 5,28} = 2,98 \text{ м}^2$$

Площадь одного светового проема, S_{01} :

Ширина окна – 1,8 м

Высота окна – 1,6 м

Определим необходимое количество световых проемов, n

$$n = \frac{S_0}{S_{01}}, \text{шт.}, \quad 5.5$$

Подставив значения, получим

$$n \cdot \frac{2.98}{1.8 \cdot 1.6} = 1.034 \approx 1 \text{ шт}$$

Для обеспечения нормативного значения К.Е.О. необходимо одно окно с указанными выше размерами.

Выводы по разделу пять

В ходе работы над разделом «Безопасность жизнедеятельности» рассмотрен вопрос организации рабочего места оператора ПЭВМ, который занимается программированием и отладкой шаговых электроприводов на базе ПЛИС. Перечислены основные опасные и вредные факторы, приводятся рекомендации по организации рабочего места, разработанные центром электромагнитной безопасности. Приводятся правила поведения оператора во время работы и при возникновении аварийной ситуации

Произведен расчет естественного освещения рабочего места программиста.

										Лист
										91
Изм.	Лист	№ докум.	Подпись	Дата	140400.2016.061.000 ПЗ					

ЗАКЛЮЧЕНИЕ

Тема выпускной квалификационной работы была выбрана исходя из потребности к новому подходу в проектировании схем управления, в том числе, систем управления шаговым двигателем.

В настоящее время возможность переноса проекта на более дешевые ПЛИС привлечет разработчиков. Унификация архитектуры и простота переноса проектов в ПЛИС дают возможность быстро подобрать наиболее подходящую ПЛИС, обладающую минимальной стоимостью при выполнении технических требований к системе.

Для получения оптимальных параметров проектируемой СУ на базе программируемой логики решено использовать САПР System Designer ver. 4.2, позволяющая реализовать проект на ПЛИС фирмы Atmel. Такая САПР обеспечивает автоматическую установку приоритета проектирования (минимальное количество ячеек) и оптимизацию программ на его основе, эффективное использование площади кристалла, а также быструю компиляцию и рекомпиляцию проекта.

Разрабатываемая система управления ШД на ПЛИС может быть использована в различных по назначениям устройствах безынерционных и точных приводов в специальных робототехнических комплексах, системах судовой и авиационной автоматики, медицинской технике, а также в бытовой технике различной сложности.

В ходе работы над разделом спроектирована структурная схема системы управления шаговым двигателем на базе ПЛИС. Разработана принципиальная электрическая схема, выбраны основные компоненты схемы: аналого-цифровой преобразователь, источник опорного напряжения, генератор тактовых импульсов.

По результатам моделирования и отладки ПЛИС в режиме симуляции с использованием интегрированных пакетов прикладных программ System Designer разработанная структура ПЛИС является работоспособной.

В ходе работы над разделом «Безопасность жизнедеятельности» рассмотрен вопрос организации рабочего места оператора ПЭВМ, который занимается программированием и отладкой шаговых электроприводов на базе ПЛИС. Перечислены основные опасные и вредные факторы, приводятся рекомендации по организации рабочего места, разработанные центром электромагнитной безопасности. Приводятся правила поведения оператора во время работы и при возникновении аварийной ситуации. Произведен расчет естественного освещения рабочего места программиста.

Проект предусматривает снижение временных затрат на расчеты и оплату счетов поставщиков и эффективное использование денежных средств на транзитном счете, не нарушая законодательства, в результате решения полностью снижаются штрафные санкции со стороны поставщиков и снижается задолженность перед поставщиками.

Проект по разработке программного обеспечения системы управления шаговым двигателем на базе ПЛИС является безрисковым, так как окупится за 1,5 и начнет приносить прибыль.

					140400.2016.061.000 ПЗ	Лист
Изм.	Лист	№ докум.	Подпись	Дата		92

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

- 1 Анализ предварительных характеристик FPGA «серии 7» фирмы Xilinx - http://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf
- 2 Алексеев, К.Б., Микроконтроллерное управление электроприводом: учебное пособие / К.Б. Алексеев, К.А. Палагута. — М.: МГИУ, 2008. — 298 с.
- 3 Башарин, А. В. Управление электроприводами: учебное пособие для вузов / А.В. Башарин, В.А. Новиков, Г.Г. Соколовский. - Ленинград: Энергоиздат, Ленинградское отделение, 1982. — 392 с, ил.
- 4 Реммери, Г., Кокс, П. От микрокомпьютера к приводу – интегрированные решения для приводов двигателей/Г. Реммери, П. Кокс //Новости электроники - 2009. - Вып. 1 – С. 6-8.
- 5 Грушвицкий, Р.И., Мурсаев, А.Х., Угрюмов, Е.П. Проектирование систем на микросхемах программируемой логики / Р.И. Грушвицкий, А.Х. Мурсаев, Е.П. Угрюмов. - СПб.: БХВ-Петербург, 2002.-608 с.
- 6 Бродин, В.Б., Калинин, А.В. Системы на микроконтроллерах и БИС программируемой логики / В.Б. Бродин, А.В. Калинин.- М.: Издательство ЭКОМ, 2002.- 400 с.
- 7 Угрюмов, Е.П. Цифровая схемотехника / Е.П. Угрюмов.- СПб.: БХВ-Петербург,2001.-528 с.
- 8 Стариков, О.А. ФАПЧ синтезаторы. Часть 2. Базовая схема, конструктивные блоки и шумовые характеристики ФАПЧ синтезаторов частоты / О.А. Стариков // Chip News. - 2001, № 7. - С34-37
- 9 Использование модулей Fractal для управления шаговыми электроприводами. - fractal.com.ru
- 10 Суворова, Е.А., Шейнин, Ю.Е. Проектирование цифровых систем на VHDL /Е.А. Суворова, Ю.Е. Шейнин.- СПб.: БХВ-Петербург, 2003.-576 с.
- 11 Индекс доходности (рентабельности) инвестиций. формула. пример расчета в excel. - <http://finzz.ru/index-doxodnosti-investicii-formula-primer-rascheta-v-excel.html>
- 12 ГОСТ Р 50923-96. Рабочее место оператора. Общие эргономические требования и требования к производственной среде. Методы измерения.