Министерство образования и науки Российской Федерации
Федеральное государственное автономное образовательное учреждение высшего образования
«Южно-Уральский государственный университет
(национальный исследовательский университет)»
«Высшая школа электроники и компьютерных наук»
Кафедра «Инфокоммуникационных технологий»

ПРОЕКТ ПРОВЕРЕН
Рецензент

_____Ф.Х.Абдуллин

“____” _____ 201_ г.

ДОПУСТИТЬ К ЗАЩИТЕ
Заведующий кафедрой ИКТ

_____ С.Н.Даровских

“____” _____ 201_ г.

Модуль цифрового генератора сигналов

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА К ВЫПУСКНОМУ КВАЛИФИКАЦИОННОМУ ПРОЕКТУ (ВКП)
ЮУрГУ – Д.11.05.01.2018.317.00 ПЗ ВКП

Консультанты:

По экономике

_____ Н.С. Дзензелюк

“____” _____ 201_ г.

По охране труда

_____ И.С. Окраинская

“____” _____ 201_ г.

Руководитель проекта:

_____ В.В.Запевалов

“____” _____ 201_ г.

Автор работы:

студент группы КЭ-609

_____ Н.С.Рузанкин

“____” _____ 201_ г.

Нормоконтролер:

_____ В.Д. Спицына

“____” _____ 201_ г.

Челябинск
2018

ОБОЗНАЧЕНИЯ И СОКРАЩЕНИЯ

МК – микроконтроллер;

ЦАП – цифроаналоговый преобразователь;

ОВПФ – опасные и вредные производственные факторы;

ВЧ – высокие частоты;

X/Y – преобразователь уровней;

РЭА – радиоэлектронная аппаратура;

ТУ – технические условия;

ФНЧ – фильтр низких частот;

ЭВМ – электронно-вычислительная машина.

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ..... 6
1 Анализтехническогозадания…..... 8
2 Схемотехническийраздел…..... 9
2.1 Разработка структурнойсхемыгенератора…..... 9
2.2 Разработка принципиальнойсхемыгенератора… 10
2.2.1 Описаниемикросхемы STM32F407VG..... 10
2.2.2 Описаниеоперационного усилителя OPA842ID… 46
2.2.3 Описание стабилизатора напряжения LM1117… 57
2.2.4 Описание преобразователя уровней FT232RL… 57
3 Разработка печатной платы..... 63
4 Безопасностьжизнедеятельности 66
4.1 Анализ опасных и вредныхпроизводственныхфакторов..... 66
4.2 Общие требования безопасности… 67
4.3 Требования к рабочим местам…..... 68
4.4 Требования к системе управления… 68
4.5 Требования к средствам защиты… 76
4.6 Требования к помещениям……70
4.7 Требования к персоналу и студентам… 71
4.8 Требования к размещению оборудования.....72
5 Организационно-экономическийраздел..... 73
5.1 Построениесетевогографика..... 73
5.2 Расчет параметров событийсетевогографика… 77
5.3 Расчет параметров работсетевогографика 78
5.4 Расчетзатрат на проведение НИОКР… 81
5.5 Анализтехнико-экономическойэффективности… 84
ЗАКЛЮЧЕНИЕ 93
БИБЛИОГРАФИЧЕСКИЙСПИСОК… 95

ВВЕДЕНИЕ

Настоящая работа посвящена разработке модуля цифрового генератора сигналов произвольной формы. Диплом был написан в ходе прохождения преддипломной практики в ЦЗИ и ДО НИИЦС ЮУрГУ.

Центр защиты информации и дополнительного обучения НИИ цифровых систем обработки и защиты информации ЮУрГУ (ЦЗИ и ДО НИИЦС ЮУрГУ) проводит курсы по повышению квалификации руководителей и специалистов защиты информации по направлениям: защита персональных данных и техническая защита информации, в том числе с использованием средств криптографической защиты информации.

Рассмотрим разрабатываемое устройство генератор сигналов.Существуют генераторы электрических колебаний и генераторы гармонических колебаний.

Генераторы электрических колебаний по форме выхода сигнала делятся на генераторы синусоидальных, гармоничных колебаний, генератор прямоугольных импульсов функциональные генераторы, а также, генераторы шума. По принципу работы электрические генераторы сигналов можно разделить на LC-генераторы, блокинг-генераторы, генераторы Пирса, генераторы на туннельных диодах, RC-генераторы.

Генераторы гармоничных колебаний – это усилитель с положительной обратной или отрицательной обратной связью. Последние являются активным фильтром, подавителем. Для гармонического генератора устойчивым состоянием является среднее, а всякие отклонения от среднего – неустойчивыми.

Генераторы сигналов применяются:

- в устройствах связи, например, в радиоприемниках, мобильных телефонах, телевизионных приемниках, приемопередатчиках и в аппаратуре передачи данных;

- в измерительных приборах – измерительные вольтметры, осциллографы, амперметры;

- медицинском оборудовании – томографы, электронные тонометры, электрокардиографы, физиотерапевтические приборы, рентгенографы, саппараты предназначенные для ультразвукового исследования;

- в бытовой технике – СВЧ-печи, программируемые стиральные машины, посудомоечные машины и многих других устройствах.

1 Анализ технического задания

Исходя из технического задания, необходимо разработать устройство с заданными к нему требованиями. Основными требованиями к устройству являются соответствие своему назначению и высокая производительность, обеспечение высокого качества, надежности и ремонтопригодности. Разрабатываемое изделие должно обладать удобством применения; функциональными свойствами, необходимыми для вы- полнения нужных операций. Прибор должен иметь конкретное целевое назначение, что предъявляет к устройству те или иные требования. Кроме того, оно должно быть удобным в применении.

Изготовление устройства в соответствии с действующими нормативно-техническими материалами будет способствовать охране труда обслуживающего персонала и охране окружающей среды.

Постановка задачи проектирования

Согласно техническому заданию необходимо разработать структурную схему, принципиальную схему и печатную плату.

Требования к конструкции

-исполнение корпуса должно соответствовать требованию степени защиты по ГОСТ 14254-96-IP20;

- напряжение питания 5В;

- габариты печатной платы 150х150 мм.

Изделие должно обладать стойкостью к внешним воздействующим факторам:

- температура окружающего воздуха с предельными и рабочими значениями температур от минус 40 °С до плюс 100°С;

2Схемотехнический раздел

2.1 Разработка структурной схемы генератора

Задающий генератор вырабатывает импульсы в заданном интервале частот. Сформированные импульсы выводятся для синхронизации внешних устройств (осциллографов, генераторов и т.д.) и поступают на выходной разъем. Эти импульсы усиливаются выходным усилителем.

В качестве задающего генератора импульсов используются интегральная микросхема STM32F407VG.

На рисунке 1 представлена структурная схема модуля цифрового генератора сигналов произвольной формы.

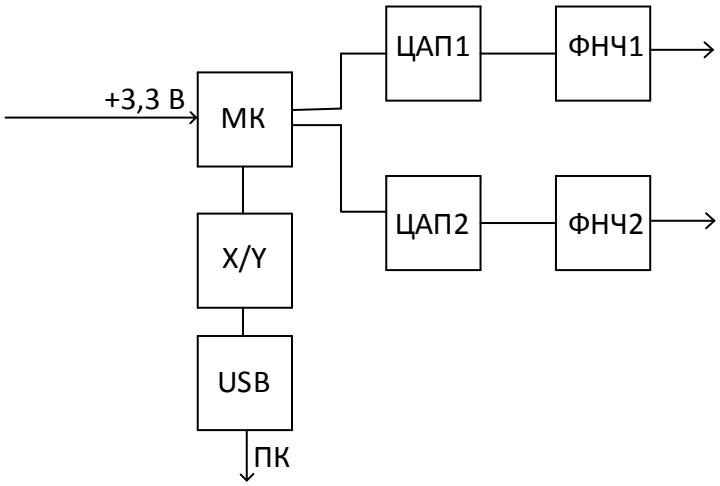

Рисунок 1 – Структурная схема модуля цифрового генератора сигналов произвольной формы

Основное питание будем подавать по USB-B через стабилизатор напряжения, далее в микроконтроллер формирует нужные нам колебания, которые потом поступают в ЦАП, далее поступают в фильтр низких частот. От микроконтроллера сигнал идет на преобразователь уровня перевести аналоговый сигнал в цифровой и потом в USB-B и на персональный компьютер.

2.2 Разработка принципиальной схемы генератора

На все микросхемы в документациях имеется типовая схема включение данного устройства. В нашем случае работа будет вестись на частоте 400МГц. В соответствии с данной частотой выбрали микроконтроллер STM32F407VG, который подходит по характеристикам для данного устройства.

На рисунке 2 представлена принципиальная схема генератора

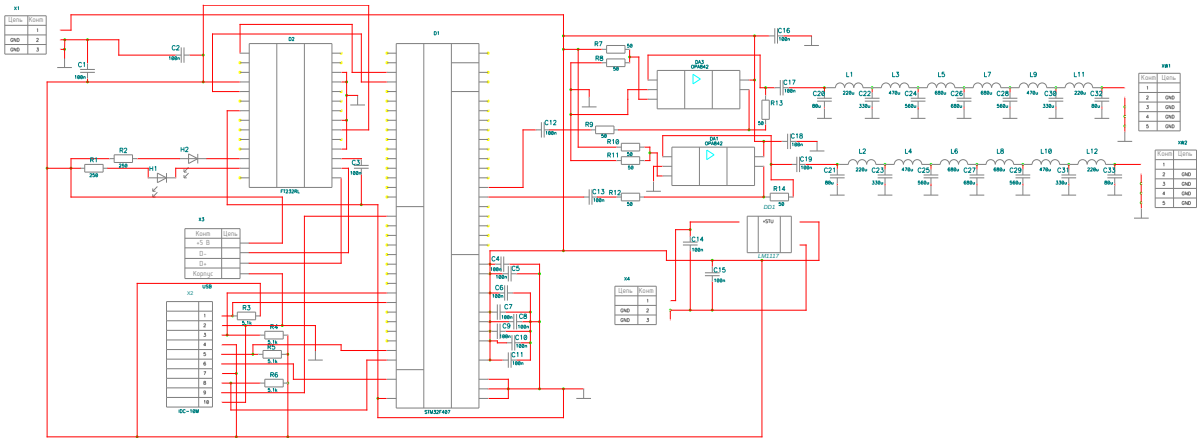

Рисунок 2 – Принципиальная схема генератора

Для того чтобы получить необходимый сигнал от микрокорнтроллера мы будем его подключать через разъем JTAG и прошивать необходимой программой. У FT232RL - преобразователя уровней тоже имеется типовая схема подключения. Данный преобразователь выбрали из-за высокой пропускной способности. В данном случае мы будем использовать два светодиода для индикации работы устройства и приема/передачи сигнала. У микросхем подключаем только те контакты, которые будем использовать.

2.2.1 Описаниемикросхемы STM32F407VG

В данном р разделе будем рассматривать особенности и характеристики микроконтроллера STM32F407VG.

Особенности:

- Core: 32х-битный процессор ARM с процессором Cortex-M4 с FPU, адаптивный ускоритель реального времени (ART Accelerator), обеспечивающий выполнение состояния ожидания нулевого времени из флэш-памяти, частота до 168 МГц, блок защиты памяти, 210 DMIPS /1.25 DMIPS / МГц (Dhrystone 2.1) и инструкции DSP;

- воспроизведение записанного из Flash – памяти;

- до 1 Мбайт флэш-памяти;

- до 192 + 4 Кбайт SRAM, в том числе 64-Кбайт памяти памяти CCM (память ядра);

-гибкий контроллер статической памяти, поддерживающий память Compact Flash, SRAM, PSRAM, NOR и NAND;

- параллельный интерфейс LCD, режимы 8080/6800;

- управление часами, сбросом и поставкой;

- поставка приложений от 1,8 В до 3,6 В и ввода / вывода;

- POR, PDR, PVD и BOR;

- кварцевый генератор от 4 до 26 МГц;

- внутренний 16 МГц заводской RC (1% точности);

- генератор 32 кГц для RTC с калибровкой;

- внутренний 32 кГц RC с калибровкой;

- маломощная работа;

- режим ожидания, остановки и ожидания;

- поставка VBAT для RTC, резервные регистры 20×32 бит и дополнительная резервная копия 4 КБ;

- 3×12-разрядные, 2,4 MSPS аналого-цифровые преобразователи: до 24 каналов и 7.2 MSPS в режиме с тройным чередованием;

- 2×12-разрядные ЦАП;

- DMA общего назначения: 16-поточный контроллер DMA с FIFO и поддержкой всплеска;

- до 17 таймеров: до двенадцати шестнадцатибитных и двух 32x-разрядных таймеров до 168 МГц, каждый из которых имеет до 4 IC/OC/PWM или счетчик импульсов и квадратурный (инкрементный) вход энкодера;

- интерфейсы отладки последовательного интерфейса (SWD) и JTAG;

- Cortex-M4 Embedded Trace Macrocell;

- до 140 портов ввода / вывода с возможностью прерывания;

- до 136 быстрых входов / выходов до 84 МГц;

- до 138 В-толерантных входов / выходов;

- до 15 интерфейсов связи;

- интерфейсы до 3×I2C (SMBus/PMBus);

- до 4 USART/2 UART (10,5 Мбит/с, интерфейс ISO 7816, LIN, IrDA, управление модемом);

- до 3 SPI (42 Мбит/с), 2 с мультиплексированным полнодуплексным I2S для достижения точности класса звука через внутренний аудио PLL или внешние часы;

- 2 × CAN-интерфейса (2.0B Active);

- интерфейс SDIO;

- расширенное подключение;

- USB 2.0 полноскоростное устройство / хост / контроллер OTG с встроенным PHY;

- USB 2.0 высокоскоростной / полноскоростной контроллер устройства / хоста / OTG с выделенным DMA, встроенным полноскоростным PHY и ULPI;

- 10/100 Ethernet MAC с выделенным DMA: поддерживает оборудование IEEE 1588v2, MII / RMII;

-восьми и четырнадцатиразрядный параллельный интерфейс камеры до 54 Мбайт/с;

- генератор случайных чисел;

- единица расчета CRC;

- 96-битный уникальный идентификатор;

- RTC: субсекундная точность, аппаратный календарь.

Подробное описание микросхемы

Семейство STM32F405xx и STM32F407xx основано на 32х-разрядном RISC-процессоре ARM Cortex-M4 с высокой производительностью, работающем на частоте до 168 МГц.

Ядро оснащено одноточечной единицей с плавающей точкой (FPU), которая поддерживает все инструкции и типы обработки данных с одноточечной обработкой ARM. Он также реализует полный набор инструкций DSP и блок защиты памяти (MPU), который повышает безопасность приложений.

Семейство STM32F405xx и STM32F407xx включает в себя высокоскоростные встроенные запоминающие устройства (флэш-память до 1 Мбайт, до 192 Кбайт SRAM), до 4 Кбайт резервного SRAM и широкий диапазон расширенных входов/выходов и периферийных устройств, подключенных к двум APB автобусы, три шины AHB и 32-х битную матрицу шины AHB.

Все устройства предлагают три двенадцатиразрядных АЦП, два ЦАП, маломощный RTC, двенадцать универсальных шестнадцатиразрядных таймеров, включая два таймера PWM для управления двигателем, два 32-х разрядных таймера общего назначения. Настоящий генератор случайных

чисел (RNG). Они также оснащены стандартными и усовершенствованными коммуникационными интерфейсами:

- до трех I2C;

- три SPI, два двухканальных I2S. Для достижения точности звукового класса периферийные устройства I2S можно синхронизировать через выделенный внутренний аудиоплеер PLL или через внешние часы, чтобы обеспечить синхронизацию;

- четыре USART плюс два UART;

- полная скорость USB OTG и высокоскоростная USB OTG с полной скоростью (с ULPI);

- две CAN-карты;

- интерфейс SDIO / MMC;

-Ethernet и интерфейс камеры доступны только на устройствах STM32F407xx.

Новые усовершенствованные периферийные устройства включают в себя SDIO, расширенный гибкий интерфейс управления статической памятью (FSMC) (для устройств, предлагаемых в пакетах по 100 контактов и более), интерфейс камеры для датчиков CMOS.

Семейство STM32F405xx и STM32F407xx работает в диапазоне температур от минус 40°C до плюс 105°C от источника питания от 1,8 до 3,6 В. Напряжение питания может упасть до 1,7 В, когда устройство работает в температурном диапазоне от 0 °C до 70°C с помощью внешнего контролера питания. Полный набор энергосберегающих режимов позволяет создавать приложения с малой мощностью.

Семейство STM32F405xx и STM32F407xx предлагает устройства в различных пакетах от 64 контактов до 176 контактов. Набор включенных периферийных устройств изменяется с выбранным устройством.

Эти функции делают семейство микроконтроллеров STM32F405xx и STM32F407xx подходящими для широкого спектра применений:

- управление двигателем и приложением;

-медицинское оборудование;

- промышленное применение: ПЛК, инверторы, автоматические выключатели;

- принтеры и сканеры;

- системы сигнализации, видеодомофон и HVAC;

- домашние аудиоаппаратуры.

Ядро ARMCortex-M4 с FPU и встроенной Flash и SRAM

Процессор ARM Cortex-M4 с FPU - это новейшее поколение процессоров ARM для встроенных систем. Он был разработан для обеспечения недорогой платформы, которая отвечает потребностям внедрения MCU, с уменьшенным количеством контактов и низким энергопотреблением, обеспечивая при этом выдающуюся вычислительную производительность и расширенный отклик на прерывания.

32-х разрядный RISC-процессор ARM Cortex-M4 с FPU обладает исключительной эффективностью кода, обеспечивая высокую производительность, ожидаемую от ядра ARM в размере памяти, обычно связанном с восьми и шестнадцатиразрядными устройствами.

Процессор поддерживает набор инструкций DSP, которые обеспечивают эффективную обработку сигналов и выполнение сложного алгоритма.

Его одноточечная FPU (система с плавающей точкой) ускоряет разработку программного обеспечения, используя инструменты разработки метаязыков, избегая при этом насыщения.

Семейство STM32F405xx и STM32F407xx совместимо со всеми инструментами и программным обеспечением ARM.

На рисунке 3 приведена общая структурная схема микроконтроллера семейства STM32F40xx.

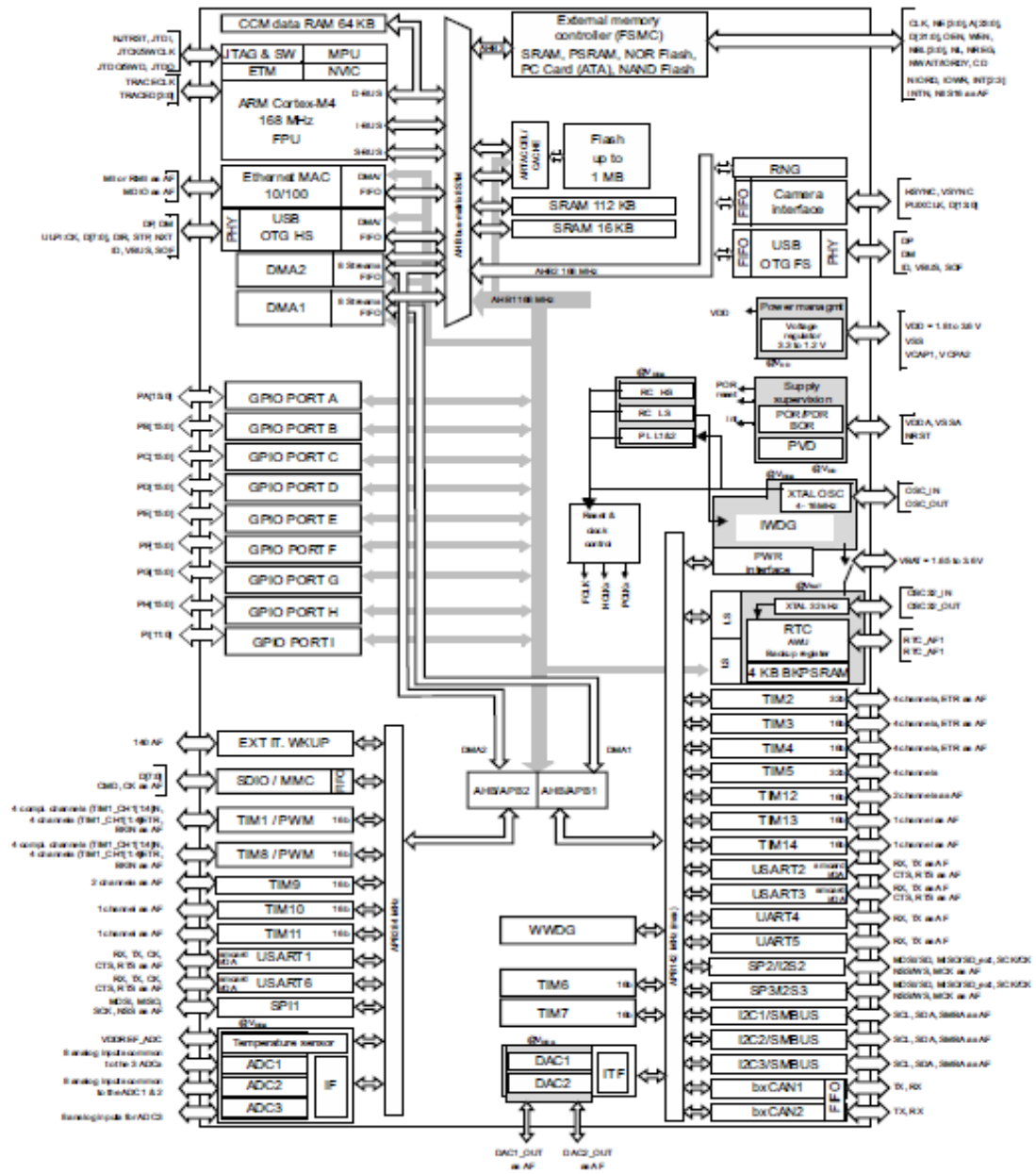

Рисунок 3 – Общая структурная схема микроконтроллера семейства STM32F40xx

Адаптивный ускоритель памяти в реальном времени (ART Accelerator)

ART Accelerator - это ускоритель памяти, который оптимизирован для стандартных ARM Cortex-M4 стандарта STM32 с процессорами FPU. Он уравновешивает присущее производительности ARM Cortex-M4 с технологией FPU по технологии флэш-памяти, которая обычно требует, чтобы процессор ожидал флэш-память на более высоких частотах.

Чтобы освободить процессор с полной производительностью 210 DMIPS на этой частоте, ускоритель реализует очередь предварительной выборки команд и кэша филиалов, что увеличивает скорость выполнения программы из 128-ми разрядной флэш-памяти. На основе теста CoreMark производительность, достигаемая благодаря ускорителю ART, эквивалентна выполнению программы состояния ожидания 0 из флэш-памяти с частотой процессора до 168 МГц.

Блок защиты памяти

Модуль защиты памяти (MPU) используется для управления доступом к ЦП в память, чтобы предотвратить случайное повреждение памяти или ресурсов, используемых любой другой активной задачей. Эта область памяти организована в восемь защищенных областей, которые, в свою очередь, могут быть разделены на восемь подрайонов. Размеры области защиты составляют от 32 байт до 4 гигабайт адресной памяти.

MPU особенно полезен для приложений, где критический или сертифицированный код должен быть защищен от неправильного поведения других задач. Обычно это управляется RTOS (операционная система реального времени). Если программа обращается к ячейке памяти, которая запрещена MPU, RTOS может обнаружить ее и принять меры. В среде RTOS ядро может динамически обновлять настройку области MPU на основе процесса, который должен быть выполнен.

MPU является необязательным и может быть отключен для приложений, которые ему не нужны.

Встроенная флэш-память

В устройствах STM32F40xxx встроена флэш-память объемом 512 Кбайт или 1 Мбайт для хранения программ и данных.

Блок вычисления CRC (циклическая избыточность)

Блок вычисления CRC (циклическая избыточность) используется для получения кода CRC из 32-х битного слова данных и фиксированного генераторного полинома.

Среди других приложений методы, основанные на CRC, используются для проверки целостности данных или целостности хранилища. В рамках стандарта EN / IEC 60335-1 они предлагают средство проверки целостности флэш-памяти. Блок вычисления CRC позволяет вычислить программное обеспечение подпись во время выполнения, чтобы быть по сравнению с эталонной подписью, созданной в связи время и хранятся в данной ячейке памяти.

Встроенная SRAM

Все продукты STM32F40xxx включают:

- до 192 Кбайт системного SRAM, включая 64 Кбайт памяти памяти CCM (память ядра);
- доступ к памяти RAM (чтение/запись) осуществляется с тактовой частотой процессора с 0 состояниями ожидания;
- 4 Кбайта резервного SRAM.

Эта область доступна только от CPU. Его содержимое защищено от возможных нежелательных обращений к записи и сохраняется в режиме ожидания или VBAT.

Матрица с шиной AHB

32-х битная матрица шины AHB объединяет все ведущие устройства (CPU, DMA, Ethernet, USB HS) и ведомые устройства (флэш-память, ОЗУ, FSMC, AHB и периферийные устройства APB) и обеспечивает бесперебойную и эффективную работу, даже если несколько высоких - скоростная периферия работает одновременно.

На рисунке 4 отображена матрица шины AHB.

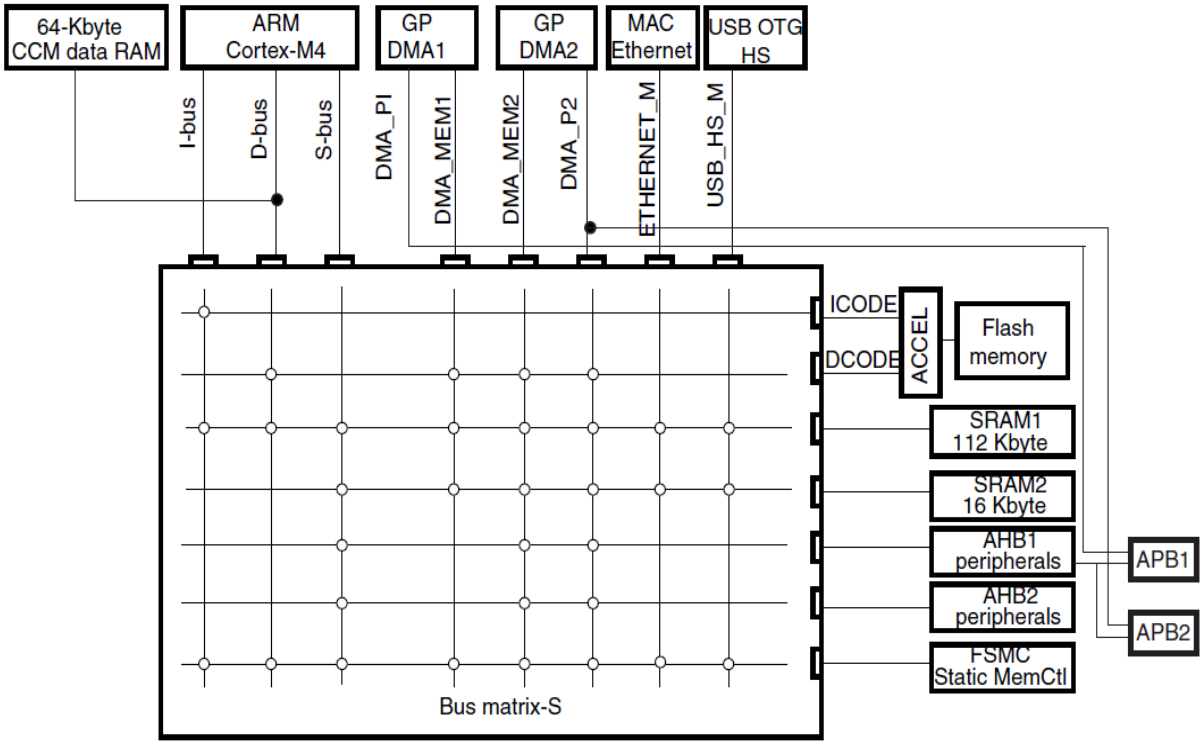

Рисунок 4 – Матрица шины AHB

Контроллер DMA (DMA)

Устройства оснащены двумя универсальными двухпортовыми DMA (DMA1 и DMA2) с восьмью потоками каждый. Они могут управлять передачей памяти в память, периферийной памятью и передачей памяти в периферию. Они оснащены выделенными FIFO для периферийных устройств APB/AHB, поддерживают пакетную передачу и предназначены для обеспечения максимальной периферийной полосы пропускания (AHB/APB).

Два контроллера DMA поддерживают управление циклическим буфером, так что никакой конкретный код не требуется, когда контроллер достигает конца буфера. Два контроллера DMA также имеют функцию двойной буферизации, которая автоматизирует использование и переключение двух буферов памяти, не требуя специального кода.

Каждый поток подключается к выделенным аппаратным запросам DMA, поддерживая программный триггер для каждого потока. Конфигурация выполняется с помощью программного обеспечения, а размеры передачи между источником и местом назначения являются независимыми.

DMA может использоваться с основными периферийными устройствами:

- SPI;
- USART;
- таймеры общего назначения, базового и расширенного управления TIMx;
- DAC;
- SDIO;
- интерфейс камеры (DCMI);
- АЦП.

Гибкий контроллер статической памяти (FSMC)

FSMC встроен в семейство STM32F405xx и STM32F407xx. Он имеет четыре выхода Chip Select, поддерживающие следующие режимы: PCCard/Compact Flash, SRAM, PSRAM, NOR Flash и NAND Flash.

Обзор функциональности:

- запись FIFO;
- максимальная частота FSMC_CLK для синхронного доступа составляет 60 МГц.

Параллельный интерфейс LCD

FSMC может быть настроен на бесшовное взаимодействие с большинством графических контроллеров LCD. Он поддерживает режимы Intel 8080 и Motorola 6800 и достаточно гибкий, чтобы адаптироваться к конкретным интерфейсам LCD. Эта возможность параллельного интерфейса ЖК-дисплея позволяет создавать экономичные графические приложения с использованием ЖК-модулей со встроенными контроллерами или высокопроизводительными решениями с использованием внешних контроллеров со специальным ускорением.

Вложенный векторный контроллер прерываний (NVIC)

STM32F405xx и STM32F407xx встроены вложенный векторный контроллер прерываний, способный управлять 16 уровнями приоритета и обрабатывать до 82 маскируемых каналов прерываний плюс 16 строк прерываний Cortex-M4 с ядром FPU.

1. Совместимая с NVIC технология обработки прерываний с низкой задержкой.
2. Адрес таблицы вектора прерывания, переданный непосредственно в ядро.
3. Позволяет раннюю обработку прерываний.
4. Обработка поздних прибывающих прерываний с более высоким приоритетом.
5. Поддержка хвостовой цепочки.
6. Состояние процессора автоматически сохраняется.
7. Запись прерывания восстановлена на выходе прерывания без накладных расходов на команды.

Этот аппаратный блок обеспечивает гибкие функции управления прерываниями с минимальной задержкой прерывания.

Контроллер внешних прерываний/событий (EXTI)

Контроллер внешних прерываний/событий состоит из 23 линий пограничного детектора, используемых для генерации запросов прерывания/событий. Каждая строка может быть независимо сконфигурирована для выбора события триггера (нарастающий фронт, задний фронт, оба) и может маскироваться независимо. Ожидающий регистр поддерживает статус запросов прерываний. EXTI может обнаружить внешнюю линию с шириной импульса короче, чем внутренний период времени APB2. К 16 внешним линиям прерываний можно подключить до 140 GPIO.

Часы и запуск

При перезагрузке шестнадцатикратный внутренний RC-генератор выбирается как часы CPU по умолчанию. Внутренний RC-генератор на 16 МГц обрезается на фабрике, чтобы обеспечить точность 1% по сравнению с полнымдиапазон температур. Затем приложение может выбирать в качестве системных часов либо RC-генератор, либо внешний источник сигнала частотой 4…26 МГц. Эти часы можно контролировать для отказа. Если обнаружен сбой, система автоматически переключается на внутренний RC-генератор и генерируется программное прерывание (если включено). Этот источник синхронизации вводится в PLL, что позволяет увеличить частоту до 168 МГц. Точно так же полное управление прерываниями PLLкогда это необходимо (например, если косвенно используемый внешний генератор выходит из строя).

Несколько предварительных делителей позволяют конфигурировать три шины AHB, высокоскоростные APB (APB2) и низкоскоростные APB (APB1). Максимальная частота трех шин AHB составляет 168 МГц, а максимальная частота высокоскоростных доменов APB -84 МГц. Максимальная разрешенная частота низкоскоростного домена APB составляет 42 МГц.

В устройствах встроен выделенный PLL (PLLI2S), который позволяет достичь производительности класса аудио. В этом случае ведущие часы I2S могут генерировать все стандартные частоты дискретизации от 8 кГц до 192 кГц.

Режимы загрузки

При запуске загрузочные контакты используются для выбора одного из трех вариантов загрузки:

- загрузка с Flash – памяти;
- загрузка из системной памяти;
- загрузка со встроенной SRAM.

Загрузочный загрузчик находится в системной памяти. Он используется для перепрограммирования флэш-памяти с помощью USART1 (PA9/PA10), USART3 (PC10/PC11 илиPB10/PB11), CAN2 (PB5/PB13), USBOTG FS в режиме устройства (PA11/PA12) через DFU (обновление прошивки устройства).

Схемы электропитания

- VDD= от 1,8 В до 3,6 В: внешний источник питания для входов/выходов и внутренний регулятор (если он включен), поставляемый снаружи через контакты VDD;
- VSSA, VDDA = от 1,8 В до 3,6 В: внешние аналоговые источники питания для АЦП, ЦАП, сброс блоков, RC и PLL. VDDA и VSSA должны быть подключены соответственно к VDD и VSS;
- VBAT= от 1,65 В до 3,6 В: источник питания для RTC, внешний генератор синхросигнала 32 кГц и резервные регистры (через выключатель питания), когда VDDотсутствует.

На рисунке 5 отображена типовая схема подключения STM32F40xx.

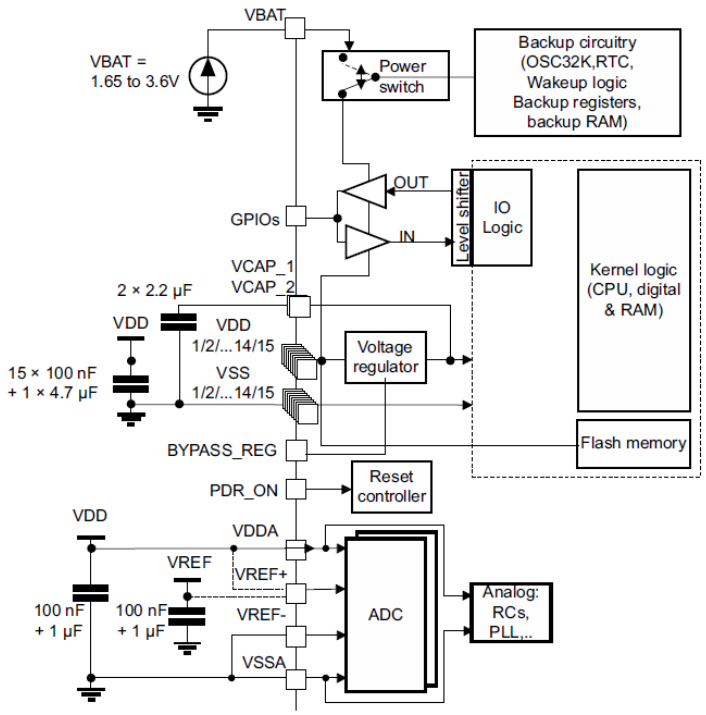

Рисунок 5 – Типовая схема подключения STM32F40xx

Регулятор напряжения

Регулятор имеет следующие режимы работы:

- регулятор включен;
- режим главного регулятора (MR);
- маломощный регулятор (LPR);
- регулятор выключен.

Регулятор включен

На пакетах, встраивающих контакт BYPASS_REG, регулятор активируется путем низкого уровня BYPASS_REG. Во всех других пакетах регулятор всегда включен.

Существует три режима питания, настроенных программным обеспечением, когда регулятор включен:

- MR используется в режиме номинального регулирования (при различном масштабировании напряжения в режиме работы);

В режиме главного регулятора (режим MR) предусмотрено различное масштабирование напряжения для достижения наилучшего компромисса между максимальной частотой и динамическим потреблением энергии.

- LPR используется в режимах Stop;

Режим LP-регулятора настраивается программным обеспечением при входе в режим остановки.

- выключение питания используется в режиме ожидания.

Режим выключения активируется только при входе в режим ожидания. Выход регулятора имеет высокий импеданс, а схема ядра выключена, что приводит к нулевому потреблению. Содержимое регистров и SRAM теряется).

Регулятор выключен

Эта функция доступна только в пакетах с выводом BYPASS_REG. Регулятор отключен, удерживая BYPASS_REG вверху. Режим выключения регулятора позволяет подавать внешний источник напряжения V12 через контакты VCAP_1 и VCAP_2.

Поскольку внутреннее масштабирование напряжения не управляется внутренне, значение внешнего напряжения должно быть выровнено с целевой максимальной частотой. Два керамических конденсатора емкостью 2,2 мкФ следует заменить двумя конденсаторами с развязкой на 100 нФ.

Когда регулятор выключен, на V12 больше нет внутреннего мониторинга. Для наблюдения за V12 логического домена мощности следует использовать внешний диспетчер питания. PA0-контакт должен использоваться для этой цели и действовать как сброс при включении питания в VLC-домене.

В режиме выключения регулятора следующие функции больше не поддерживаются.

1. PA0 нельзя использовать в качестве выводов GPIO, поскольку он позволяет сбросить часть логического домена мощности V12, который не сбрасывается на вывод NRST.

2. Пока PA0 поддерживается на низком уровне, режим отладки не может использоваться при перезагрузке. Как следствие, контакты PA0 и NRST должны управляться отдельно, если требуется отладочное соединение при сбросе или предварительном сбросе.

3. Режим ожидания недоступен.

Должны соблюдаться следующие условия:

- VDD всегда должен быть выше VCAP_1 и VCAP_2, чтобы избежать текущей инъекции между властными доменами;

- если время VCAP_1 и VCAP_2 достигает минимального значения V12 быстрее, чем время VDD достигает 1,8 В, тогда PA0 следует поддерживать на низком уровне, чтобы покрыть оба условия: до тех пор, пока VCAP_1 и VCAP_2 не достигнут минимального значения V12 и пока VDD не достигнет 1,8 В;

-если время VCAP_1 и VCAP_2 достигнет минимального значения V12 медленнее, чем время VDD достигает 1,8 В, тогда PA0 может быть выключено;

- если VCAP_1 и VCAP_2 опускаются ниже минимального значения V12, а VDD выше 1,8 В, то на выводе PA0 должен быть установлен сброс.

Часы реального времени (RTC), резервные SRAM и резервные регистры

Резервный домен STM32F405xx и STM32F407xx включает в себя:

- часы реального времени (RTC);

- 4 Кбайта резервного SRAM;

- 20 резервных регистров.

Часы реального времени (RTC) являются независимым таймером/счетчиком BCD. Выделенные регистры содержат второй,

минутный, час (в 12/24 часа), день недели, дату, месяц, год, в формате BCD (двоично-кодированный десятичный). Исправление для 28, 29 (високосный год), 30 и 31 день месяца выполняется автоматически. RTC обеспечивает программируемый аварийный сигнал и программируемые периодические прерывания с пробуждением из режимов Stop и Standby. Значение подсетей также доступно в двоичном формате.

Он синхронизируется внешним кристаллом, резонатором или генератором 32,768 кГц, внутренним маломощным RC-генератором или высокоскоростными внешними часами, разделенными на 128. Внутренний низкоскоростной RCимеет типичную частоту 32 кГц. RTC может быть откалиброван с использованием внешнего выхода 512 Гц для компенсации любого естественного отклонения кварца.

Два аварийных регистра используются для генерации сигнала тревоги в определенное время, и календарные поля могут быть независимо маскированы для сравнения сигналов. Чтобы генерировать периодическое прерывание, доступен 16-битный программируемый двоичный автозапуск с программируемым разрешением и позволяет автоматическое пробуждение и периодические тревоги каждые 120 мкс каждые 36 часов.

Двадцатиразрядный предварительный делитель используется для тактовых импульсов времени. По умолчанию он настроен на создание временной базы в 1 секунду от тактовых импульсов на 32,768 кГц.

Резервная SRAM с 4 Кбайтами является областью памяти, подобной EEPROM. Он может использоваться для хранения данных, которые необходимо сохранить в VBAT и в режиме ожидания. Эта область памяти по умолчанию отключена, чтобы свести к минимуму потребление энергии. Она может быть включена программным обеспечением.

Резервные регистры представляют собой 32-х разрядные регистры, используемые для хранения 80 байтов данных пользовательских приложений, когда нет мощности VDD. Резервные регистры не

сбрасываются системой, сбросом питания или когда устройство просыпается из режима ожидания

Дополнительные 32-х разрядные регистры содержат программируемые интервалы тревоги, секунды, минуты, часы, день и дату.

Как и резервная SRAM, RTC и резервные регистры подаются через переключатель, который питается либо от источника VDD, либо от VBAT.

Маломощные режимы

STM32F405xx и STM32F407xx поддерживают три режима с низким энергопотреблением для достижения наилучшего компромисса между низким потреблением энергии, коротким временем запуска и доступными источниками пробуждения.

Режим сна

В спящем режиме останавливается только CPU. Все периферийные устройства продолжают работать и могут разбудить CPU при возникновении прерывания/события.

Режим остановки

Режим Stop обеспечивает наименьшее энергопотребление при сохранении содержимого SRAM и регистров. Все часы в домене V12 прекращены, PLL, HSI RC и HSE-генераторы отключены. Регулятор напряжения также может быть установлен как в нормальном, так и в маломощном режиме.

Устройство можно разбудить из режима «Стоп» любой из линий EXTI (источником линии EXTI может быть одна из 16 внешних линий, выход PVD, события тревоги RTC alarm / wakeup / tamper / time stamp, USB OTG FS / HS-пробуждение или пробуждение Ethernet).

Режим ожидания

Режим ожидания используется для достижения наименьшего энергопотребления. Внутренний регулятор напряжения выключен, так что весь домен V12 отключен. PLL, HSI RC и кварцевые генераторы HSE также отключены. После ввода резервный режим, SRAM и содержимое регистра теряются, за исключением регистров в резервном домене и резервной SRAM при выборе.

Устройство выходит из режима ожидания, когда происходит внешний сброс (вывод NRST), сброс IWDG, нарастающий фронт на выводе WKUP или событие RTC alarm / wakeup / tamper / time stamp.

Режим ожидания не поддерживается, когда встроенный регулятор напряжения отключен, а домен V12 контролируется внешним питанием.

Работа VBAT

Контакт VBAT позволяет подключать VBAT-устройство к устройству от внешнего аккумулятора, внешнего суперконденсатора или от VDD, когда нет внешнего аккумулятора и внешнего суперконденсатора.

Работа VBAT активируется, когда VDD отсутствует. Контакт VBAT снабжает RTC, резервные регистры и резервный SRAM.

Таймер SysTick

Этот таймер предназначен для операционных систем реального времени, но также может использоваться как стандартный downcounter. Он имеет:

- 24-битный загрузчик;
- возможность автозагрузки;
- маскируемое генерирование прерываний системы, когда счетчик достигает нуля;
- программируемый источник синхронизации;

Интерфейс между интегральными схемами (I^2C)

До трех интерфейсов шины I^2C могут работать в режимах с несколькими режимами и подчиненными устройствами. Они могут поддерживать стандартный режим (до 100 кГц) и режим Fast-mode (до 400 кГц). Они поддерживают семи и десятиразрядный режим адресации и семибитный режим двойной адресации (как ведомый). Встроенная аппаратная генерация/проверка CRC.

Они могут обслуживаться DMA, и они поддерживают SMBus 2.0/ PMBus.

Универсальные синхронные/асинхронные приемные передатчики (USART)

STM32F405xx и STM32F407xx встроены четыре универсальных синхронных/асинхронных приемных передатчика (USART1, USART2, USART3 и USART6) и два универсальных асинхронных приемных передатчика (UART4 и UART5).

Эти шесть интерфейсов обеспечивают асинхронную связь, поддержку IrDA SIR ENDEC, многопроцессорный режим связи, однопроводный полудуплексный режим связи и возможность подключения LIN Master/Slave. Интерфейсы USART1 и USART6 могут осуществлять связь со скоростью до 10,5 Мбит/с. Другие доступные интерфейсы взаимодействуют со скоростью до 5,25 Мбит/с.

USART1, USART2, USART3 и USART6 также обеспечивают аппаратное управление сигналами CTS и RTS, режимом смарт-карты (совместимым с ISO 7816) и коммуникационной способностью, подобной SPI. Все интерфейсы могут обслуживаться контроллером DMA.

Последовательный периферийный интерфейс (SPI)

STM32F40xxx поддерживает до трех SPI в режиме ведомого и ведущего режимов в режимах полнодуплексной и симплексной связи. SPI1 может осуществлять связь со скоростью до 42 Мбит/с, SPI2 и SPI3 могут осуществлять связь со скоростью до 21 Мбит/с. Трёхбитный предварительный делитель дает восемь основных режимов, и кадр настраивается на 8 бит или 16 бит. Аппаратная генерация/проверка CRC поддерживает базовые режимы SD Card/ MMC. Все SPI могут обслуживаться контроллером DMA.

Интерфейс SPI можно настроить для работы в режиме TI для связи в режиме ведущего и ведомого.

Сетевая сеть контроллера (bxCAN)

Две CAN-карты соответствуют спецификациям 2.0A и B (активным) с битрейтом до 1 Мбит/с. Они могут принимать и передавать стандартные кадры с одиннадцатиразрядными идентификаторами, а также расширенные кадры с 29-ю разрядными идентификаторами. Каждый CAN имеет три передающих почтовых ящика, два приема FIFOS с тремя этапами и 28 разделяемых масштабируемых банков фильтров (все они могут использоваться, даже если используется одна CAN-система). Для каждой CAN-памяти выделяется 256 байт SRAM.

Универсальная последовательная шина (OTG_FS)

STM32F405xx и STM32F407xx встроены периферийное устройство USB/OTG с интерфейсом USB OTG со встроенными трансиверами. Внешняя периферия USB OTG FS соответствует спецификации USB 2.0 и спецификации OTG 1.0. Он имеет настраиваемую конфигурацию конечной точки и поддерживает приостановку/возобновление. Для контроллера полной

скорости USB OTG требуется специальная частота 48 МГц, которая генерируется PLL, подключенной к осциллятору HSE.

Основные особенности:

- комбинированный размер Rx и Tx FIFO 320 × 35 бит с динамическим размером FIFO;

- поддерживает протокол запроса сеанса (SRP) и протокол согласования хоста (HNP);

-четыре двунаправленных конечных точки;

-восемь хост-каналов с периодической поддержкой OUT;

- HNP/SNP/IP внутри (нет необходимости в каком-либо внешнем резисторе);

- для режимов OTG/Host необходим переключатель питания в случае подключения устройств с питанием от шины.

Интерфейс цифровой камеры (DCMI)

Интерфейс камеры недоступен в устройствах STM32F405xx.

Продукты STM32F407xx встраивают интерфейс камеры, который может подключаться к модулям камеры и CMOS-датчикам через восьмибитный до четырнадцатиразрядного параллельного интерфейса для приема видеоданных. Интерфейс камеры может поддерживать скорость передачи данных до 54 Мбайт/с на частоте 54 МГц. Он имеет:

- программируемая полярность для сигналов входного пикселя и синхронизации;

-параллельная передача данных может быть восьми-, десяти-, двенадцати- или четырнадцатиразрядной;

- поддерживает восьмибитный прогрессивный видео монохромный или необработанный формат Bayer, прогрессивное видео YCbCr 4: 2: 2, прогрессивное видео RGB 565 или сжатые данные (например, JPEG);

- поддерживает режим непрерывного режима или моментального снимка (один кадр);

- возможность автоматически обрезать изображение.

Генератор случайных чисел (RNG)

Все продукты STM32F405xx и STM32F407xx встраивают RNG, который обеспечивает 32-х битные случайные числа, генерируемые интегральной аналоговой схемой.

Входы/выходы общего назначения (GPIO)

Каждый из контактов GPIO может быть сконфигурирован программным обеспечением как выход (push-pull или open-drain, с или без подтягивания или выталкивания), как вход (плавающий, с или без подтягивания или спуска) или как периферийная альтернативная функция. Большинство контактов GPIO используются совместно с цифровыми или аналоговыми альтернативными функциями. Все GPIO обладают высокой токовой характеристикой и имеют возможность выбора скорости для лучшего управления внутренним шумом, энергопотреблением и электромагнитным излучением.

Конфигурация ввода/вывода может быть заблокирована при необходимости, следуя определенной последовательности, чтобы избежать ложной записи в регистры ввода/вывода.

Быстрая обработка ввода-вывода, обеспечивающая максимальный ввод/вывод до 84 МГц.

Аналого-цифровые преобразователи (АЦП)

Три двенадцатиразрядных аналого-цифровых преобразователя встроены, и каждый АЦП имеет до 16 внешних каналов, выполняющих преобразования в режиме однократного или сканирования. В режиме сканирования

автоматическое преобразование выполняется в выбранной группе аналоговых входов.

Дополнительные логические функции, встроенные в интерфейс ADC, позволяют:

- одновременная выборка и удержание;
- пронумерованный образец и удержание.

АЦП может обслуживаться контроллером DMA. Аналоговая функция сторожевого таймера позволяет очень точно контролировать преобразованное напряжение одного, некоторых или всех выбранных каналов. Прерывание генерируется, когда преобразованное напряжение находится за пределами запрограммированных пороговых значений.

Чтобы синхронизировать аналого-цифровое преобразование и таймеры, АЦП могут запускаться с помощью любых таймеров TIM1, TIM2, TIM3, TIM4, TIM5 или TIM8.

Датчик температуры

Датчик температуры должен генерировать напряжение, которое изменяется линейно с температурой. Диапазон преобразования составляет от 1,8 до 3,6 В. Датчик температуры внутренне подключен к входному каналу ADC1_IN16, который используется для преобразования выходного напряжения датчика в цифровое значение.

Поскольку смещение датчика температуры изменяется от чипа к кристаллу из-за изменения процесса, датчик внутренней температуры в основном подходит для применений, которые обнаруживают изменения температуры вместо абсолютных температур. Если требуется точное считывание температуры, необходимо использовать часть внешнего датчика температуры.

Последовательный порт отладки JTAG (SWJ-DP)

Интерфейс ARM SWJ-DP встроен и представляет собой комбинированный порт отладки JTAG и последовательного интерфейса, который позволяет подключать к целевой цели либо отладку последовательного провода, либо датчик JTAG.

Отладка выполняется с использованием 2 контактов только вместо 5, требуемых JTAG (контакты JTAG можно повторно использовать в качестве GPIO с альтернативной функцией): контакты JTAG TMS и TCK совместно используются SWDIO и SWCLK соответственно, и определенная последовательность на Вывод TMS используется для переключения между JTAG-DP и SW-DP.

Встроенная трассировка Macrocell

Макросетектор ARM Embedded Trace Macrocell обеспечивает большую видимость потока команд и данных внутри ядра ЦП путем потоковой передачи сжатых данных с очень высокой скоростью от STM32F40xxx через небольшое количество выводов ETM к устройству анализатора внешнего аппаратного анализатора трасс (TPA). TPA подключается к главному компьютеру с использованием USB, Ethernet или любого другого высокоскоростного канала. Операцию в реальном времени и поток данных можно записывать, а затем отформатировать для отображения на главном компьютере, на котором выполняется отладчик. Оборудование TPA коммерчески доступно от поставщиков общих инструментов разработки.

Встроеннаятрассировка Macrocell работает с программными инструментами отладчика сторонних разработчиков.

Электрические характеристики

Минимальные и максимальные значения

Минимальные и максимальные значения гарантируются в наихудших условиях окружающей температуры, напряжения питания и частот при испытаниях на производстве на 100% устройств с температурой окружающей среды при TA = 25°C и TA = TAmax (задается выбранный температурный диапазон).

Данные, основанные на результатах характеристики, моделировании конструкции и/или технологиях, указаны в табличных сносках и не тестируются на производстве. Основываясь на характеристике, минимальные и максимальные значения относятся к испытаниям образцов и представляют среднее значение плюс или минус в три раза стандартное отклонение (среднее ± 3Σ).

Типичные значения

Типичные значения основаны на TA = 25 °C, VDD = 3,3 В (для1,8 В и 3,6 В). Они приведены только в качестве руководящих принципов проектирования и не проверяются.

Типичные значения точности АЦП определяются характеристикой партии образцов из стандартной диффузионной партии в полном температурном диапазоне, где 95% устройств имеют погрешность, меньшую или равную указанному значению (среднее ± 2Σ).

Потребление тока в системе

Текущее потребление системы ввода-вывода имеет два компонента: статический и динамический. Потребление статического тока ввода/вывода

Все входы/выходы, используемые в качестве входов с подтягиванием, генерируют потребление тока, когда контакт из-за слабо припаян. Значение

этого потребления тока можно просто вычислить, используя значения выталкивающих резисторов.

Для выходных контактов также необходимо учитывать любую внешнюю вытягивающую или внешнюю нагрузку для оценки потребления тока.

Дополнительное потребление тока I/O связано с тем, что входы/выходы сконфигурированы как входы, если внешний уровень напряжения используется снаружи. Это потребление тока вызвано входными триггерными схемами Шмитта, используемыми для различения входного значения. Если эта конкретная конфигурация не требуется приложениям, этого потребления тока потребления можно избежать, настроив эти входы/выходы в аналоговом режиме. Это особенно характерно для входных контактов АЦП, которые должны быть сконфигурированы как аналоговые входы.

Предостережение: любой плавающий входной контакт может также постепенно оседать на промежуточный уровень напряжения или переключаться в результате внешнего электромагнитного шума. Чтобы избежать потребления тока, связанного с плавающими контактами, они должны либо быть сконфигурированы в аналоговом режиме, либо принудительно внутренне до определенного цифрового значения. Это можно сделать либо с помощью резисторов pull-up/down, либо путем настройки контактов в режиме вывода.

Динамическое потребление тока ввода / вывода

В дополнение к измеренному внутреннему потреблению периферийного тока входы/выходы, используемые приложением, также способствуют текущему потреблению. Когда переключатель ввода/вывода переключается, он использует ток от питающего напряжения MCU для питания схемы

вывода I/O и для зарядки/разряда емкостной нагрузки (внутренней или внешней), подключенной к контакту:

$$I_{SW} = C \cdot V_{DD} \cdot f_{SW}, (2.1)$$

где ISW - это ток, который потоплен переключением ввода/вывода для зарядки/разрядки емкостной нагрузки;

VDD - это напряжение питания MCU;

fSW - частота переключения ввода/вывода;

C - общая емкость, наблюдаемая выводом ввода/вывода: C = CINT + CEXT;

Тестовый контакт сконфигурирован в режиме push-pull output и переключается программным обеспечением с фиксированной частотой.

В таблице 1 представлены обозначения и сокращения, используемые в таблице выводов контактов STM32.

Таблица 1 - Обозначения и сокращения, используемые в таблице выводов контактовSTM32

Имя	Сокращение	Определение
Имя контакта	Если в скобках ниже имени контакта не указано иное, функция вывода во время и после сброса совпадает с фактическим именем функции	
Тип контакта	S	Контакт питания
	I	Только входной контакт
	I/O	Входной / выходной контакт

Продолжение таблицы 1

Имя	Сокращение	Определение
Структура Вх\Вых	FT	5 В-альтернативный ввод-вывод
	TTa	+3,3 В альтернативный ввод-вывод, подключенный напрямую к АЦП
	B	Специальный вывод BOOT0
	RST	Двунаправленный сбросный контакт со встроенным слабым подтягивающим резистором
Примечание	Если иное не указано в примечании, все входы / выходы устанавливаются как плавающие входы во время и после сброса	
Альтернативные функции	Функции, выбранные с помощью регистров GPIOx_AFR	
Дополнительные функции	Функции, которые непосредственно выбираются / активируются через периферийные регистры	

В таблице 2 описаны определения контактов микросхемы STM32.

Таблица 2 – Определение контактов микросхемыSTM32

Номер контакта LQFP64	Имя контакта	Тип контакта	Альтернативные функции	Дополнительные функции
1	V_{BAT}	S	-	-
2	PC13	I/O	EVENTOUT	RTC_OUT, RTC_TAMP1, RTC_TS
3	PC14/OSC32_IN (PC14)	I/O	EVENTOUT	OSC32_IN
4	PC15/ OSC32_OUT (PC15)	I/O	EVENTOUT	OSC32_OUT
5	PH0/OSC_IN (PH0)	I/O	EVENTOUT	OSC_IN
6	PH1/OSC_OUT (PH1)	I/O	EVENTOUT	OSC_OUT
7	NRST	I/O	-	-
8	PC0	I/O	OTG_HS_ULPI_STP / EVENTOUT	ADC123_IN10

Продолжение таблицы 2

Номер контакта LQFP64	Имя контакта	Тип контакта	Альтернативные функции	Дополнительные функции
9	PC1	I/O	ETH_MDC/ EVENTOUT	ADC123_IN11
10	PC2	I/O	SPI2_MISO / OTG_HS_ULPI_DIR / ETH_MII_TXD2 /I2S2ext_SD/ EVENTOUT	ADC123_IN12
11	PC3	I/O	SPI2_MOSI / I2S2_SD / OTG_HS_ULPI_NXT / ETH_MII_TX_CLK/ EVENTOUT	ADC123_IN13
12	V_{SSA}	S	-	-
13	V_{DDA}	S	-	-
14	PA0/WKUP (PA0)	I/O	USART2_CTS/ UART4_TX/ ETH_MII_CRS / TIM2_CH1_ETR/ TIM5_CH1 / TIM8_ETR/ EVENTOUT	ADC123_IN0/WKUP
15	PA1	I/O	USART2_RTS / UART4_RX/ ETH_RMII_REF_CLK / ETH_MII_RX_CLK / TIM5_CH2 / TIM2_CH2/ EVENTOUT	ADC123_IN1
16	PA2	I/O	USART2_TX/TIM5_CH3/ TIM9_CH1 / TIM2_CH3 / ETH_MDIO/EVENTOUT	ADC123_IN2
18	V_{SS}	S	-	-
19	V_{DD}	S	-	-

Продолжение таблицы 2

Номер контакта	Имя контакта	Тип контакта	Альтернативные функции	Дополнительные функции
20	PA4	I/O	SPI1_NSS / SPI3_NSS / USART2_CK / DCMI_HSYNC / OTG_HS_SOF/ I2S3_WS/ EVENTOUT	ADC12_IN4 /DAC_OUT1
21	PA5	I/O	SPI1_SCK/ OTG_HS_ULPI_CK / TIM2_CH1_ETR/ TIM8_CH1N/EVENTOUT	ADC12_IN5/DAC_ OUT2
22	PA6	I/O	SPI1_MISO / TIM8_BKIN/TIM13_CH1 / DCMI_PIXCLK/TIM3_CH1 / TIM1_BKIN/ EVENTOUT	ADC12_IN6
23	PA7	I/O	SPI1_MOSI/ TIM8_CH1N / TIM14_CH1/TIM3_CH2/ ETH_MII_RX	ADC12_IN7
24	PC4	I/O	ETH_RMII_RX_D0 / ETH_MII_RX_D0/ EVENTOUT	ADC12_IN14
25	PC5	I/O	ETH_RMII_RX_D1 / ETH_MII_RX_D1/ EVENTOUT	ADC12_IN15
26	PB0	I/O	TIM3_CH3 /TIM8_CH2N/ OTG_HS_ULPI_D1/ ETH_MII_RXD2 / TIM1_CH2N/EVENTOUT	ADC12_IN8
27	PB1	I/O	TIM3_CH4 /TIM8_CH3N/ OTG_HS_ULPI_D2/ ETH_MII_RXD3 / TIM1_CH3N/EVENTOUT	ADC12_IN9
28	PB2/BOOT1 (PB2)	I/O	EVENTOUT	-

Продолжение таблицы 2

Номер контакта	Имя контакта	Тип контакта	Альтернативные функции	Дополнительные функции
29	PB10	I/O	SPI2_SCK / I2S2_CK / I2C2_SCL/ USART3_TX/ OTG_HS_ULPI_D3 / ETH_MII_RX_ER / TIM2_CH3/EVENTOUT	-
30	PB11	I/O	I2C2_SDA/USART3_RX / OTG_HS_ULPI_D4 / ETH_RMII_TX_EN/ ETH_MII_TX_EN / TIM2_CH4/ EVENTOUT	-
31	V_{CAP_1}	S	-	-
32	V_{DD}	S	-	-
33	PB12	I/O	SPI2_NSS / I2S2_WS / I2C2_SMBA/ USART3_CK/ TIM1_BKIN/ CAN2_RX / OTG_HS_ULPI_D5/ ETH_RMII_TXD0 / ETH_MII_TXD0/ OTG_HS_ID/EVENTOUT	-
34	PB13	I/O	SPI2_SCK / I2S2_CK / USART3_CTS/ TIM1_CH1N /CAN2_TX / OTG_HS_ULPI_D6 / ETH_RMII_TXD1 / ETH_MII_TX	OTG_HS_VBUS
35	PB14	I/O	SPI2_MISO/ TIM1_CH2N / TIM12_CH1 / OTG_HS_DM/ USART3_RTS / TIM8_CH2N/I2S2ext_SD/ EVENTOUT	-

Продолжение таблицы 2

Номер контакта	Имя контакта	Тип контакта	Альтернативные функции	Дополнительные функции
36	PB15	I/O	SPI2_MOSI / I2S2_SD/ TIM1_CH3N /TIM8_CH3N / TIM12_CH2 / OTG_HS_DP/EVENTOUT	RTC_REFIN
37	PC6	I/O	I2S2_MCK / TIM8_CH1/SDIO_D6 / USART6_TX / DCMI_D0/TIM3_CH1/ EVENTOUT	-
38	PC7	I/O	I2S3_MCK / TIM8_CH2/SDIO_D7 / USART6_RX / DCMI_D1/TIM3_CH2/ EVENTOUT	-
39	PC8	I/O	TIM8_CH3/SDIO_D0 /TIM3_CH3/ USART6_CK / DCMI_D2/ EVENTOUT	-
40	PC9	I/O	I2S_CKIN/ MCO2 / TIM8_CH4/SDIO_D1 / /I2C3_SDA / DCMI_D3/ TIM3_CH4/EVENTOUT	-
41	PA8	I/O	MCO1 / USART1_CK/ TIM1_CH1/ I2C3_SCL/ OTG_FS_SOF/ EVENTOUT	-
42	PA9	I/O	USART1_TX/ TIM1_CH2 / I2C3_SMBA / DCMI_D0/ EVENTOUT	OTG_FS_VBUS
43	PA10	I/O	USART1_RX/ TIM1_CH3/ OTG_FS_ID/DCMI_D1/ EVENTOUT	-

Продолжение таблицы 2

Номер контакта	Имя контакта	Тип контакта	Альтернативные функции	Дополнительные функции
44	PA11	I/O	USART1_CTS / CAN1_RX / TIM1_CH4 / OTG_FS_DM/EVENTOUT	-
45	PA12	I/O	USART1_RTS / CAN1_TX/ TIM1_ETR/ OTG_FS_DP/ EVENTOUT	-
46	PA13 (JTMS-SWDIO)	I/O	JTMS-SWDIO/ EVENTOUT	-
47	V_{CAP_2}	S	-	-
48	V_{DD}	S	-	-
49	PA14 (JTCK/SWCLK)	I/O	JTCK-SWCLK/ EVENTOUT	-
50	PA15 (JTDI)	I/O	JTDI/ SPI3_NSS/ I2S3_WS/TIM2_CH1_ETR / SPI1_NSS / EVENTOUT	-
51	PC10	I/O	SPI3_SCK / I2S3_CK/ UART4_TX/SDIO_D2 / DCMI_D8 /USART3_TX/ EVENTOUT	-
52	PC11	I/O	UART4_RX/ SPI3_MISO / SDIO_D3 / DCMI_D4/USART3_RX / I2S3ext_SD/ EVENTOUT	-
53	PC12	I/O	UART5_TX/SDIO_CK / DCMI_D9 / SPI3_MOSI /I2S3_SD / USART3_CK/	-
54	PD2	I/O	TIM3_ETR/UART5_RX/ SDIO_CMD / DCMI_D11/ EVENTOUT	-

Продолжение таблицы 2

Номер контакта	Имя контакта	Тип контакта	Альтернативные функции	Дополнительные функции
55	PB3 (JTDO/ TRACESWO)	I/O	JTDO/ TRACESWO/ SPI3_SCK / I2S3_CK / TIM2_CH2 / SPI1_SCK/ EVENTOUT	-
56	PB4 (NJTRST)	I/O	NJTRST/ SPI3_MISO / TIM3_CH1 / SPI1_MISO / I2S3ext_SD/ EVENTOUT	-
57	PB5	I/O	I2C1_SMBA/ CAN2_RX / OTG_HS_ULPI_D7 / ETH_PPS_OUT/TIM3_CH2 / SPI1_MOSI/ SPI3_MOSI / DCMI_D10 / I2S3_SD/ EVENTOUT	-
58	PB6	I/O	I2C1_SCL/ TIM4_CH1 / CAN2_TX / DCMI_D5/USART1_TX / EVENTOUT	-
59	PB7	I/O	I2C1_SDA / FSMC_NL / DCMI_VSYNC	-
60	BOOT0	I	-	V_{PP}
61	PB8	I/O	TIM4_CH3/SDIO_D4/ TIM10_CH1 / DCMI_D6 / ETH_MII_TXD3 / I2C1_SCL/ CAN1_RX/ EVENTOUT	-
62	PB9	I/O	SPI2_NSS/ I2S2_WS / TIM4_CH4/ TIM11_CH1/ SDIO_D5 / DCMI_D7 / I2C1_SDA / CAN1_TX/ EVENTOUT	-
63	V_{SS}	S	-	-
64	V_{DD}	S	-	-

2.2.2 Описание операционного усилителя OPA842ID

Особенности описания:

- единственная частота: 400 МГц;
- продукция gain-bandwidth: 200 МГц;
- низкий входной шум: 2,6 нВ/√Гц;
- очень низкое затухание: -93дБн (5МГц);
- высокий уровень усиления: 110 дБ;
- низкий уровень ошибки: 0,003% / 0,008 °C;
- низкое распространение при усилении;
- дифференциальный приемник низкого шума;
- изображение высокого разрешения;
- профессиональное качество звука;
- обновление OPA642.

OPA842 обеспечивает уровень скорости и динамический диапазон, ранее недостижимый в монолитном операционном усилителе. Используя стабильную архитектуру с обратной связью по напряжению с двумя внутренними ступенями усиления, OPA842 обеспечивает исключительно низкое гармоническое искажение в широком диапазоне частот. Классический дифференциальный вход обеспечивает все знакомые преимущества прецизионных операционных усилителей, таких как отключение тока смещения и очень низкий инвертирующий ток по сравнению с широкополосным дифференциальным коэффициентом усиления/фазой, низковольтным шумом и высоким выходным током, что делает OPA842 идеальным для приложений с высоким динамическим диапазоном. Стабильность усиления делает OPA842 особенно подходящим для

дифференциальных усилителей с низким коэффициентом усиления, усилителей трансимпеданса, усиления двух линейных драйверов, широкополосных интеграторов и буферов аналого-цифрового преобразователя с низким уровнем искажений (ADC). Если требуется более высокое усиление или даже более низкое гармоническое искажение, рассмотрите OPA843 - более высокую ширину полосы пропускания и более низкую шумовую версию OPA842.

На рисунке 6 отображена типовая схема включения усилителя OPA842.

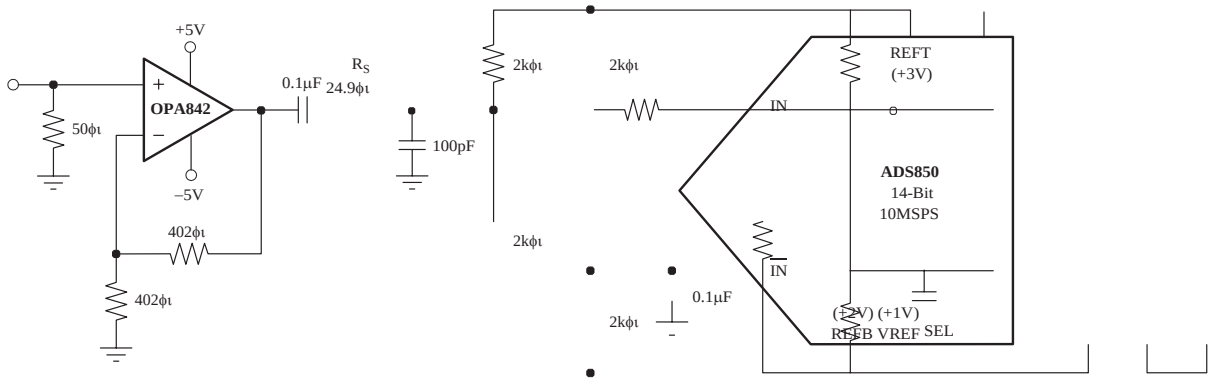

Рисунок 6 – Типовая схема включения усилителя

Обратная связь

Комбинация скорости и динамического диапазона OPA842 легко достигается в широком спектре схем приложений, обеспечивая соблюдение простых принципов хорошей проектной практики. Хорошая развязка питания, необходима для достижения минимально возможных гармонических искажений и плавного частотного отклика.

Правильная схема печатной платы (PCB) и тщательный выбор компонентов максимизируют производительность OPA842 во всех приложениях, как описано в следующих разделах этой спецификации.

Большинство кривых были охарактеризованы с использованием источников сигнала с импедансом 50 Ом и измерительным оборудованием, имеющим сопротивление нагрузки 50 Ом.

Схема подключения с обратной связьюOPA842 изображена на рисунке 7.

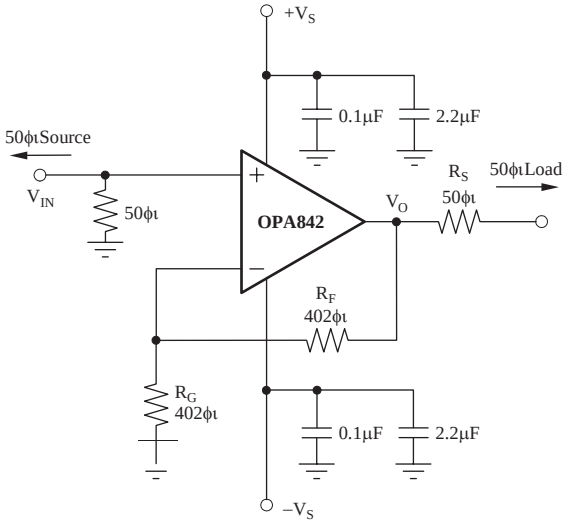

Рисунок 7 – Схема подключения с обратной связью

Работа OPA842 в качестве инвертирующего усилителя имеет несколько преимуществ и особенно полезна, когда требуется согласованный источник 50 Ом и входной импеданс. Инвертирующее усиление схемы, используемое в качестве основы для режима инвертирования типичные характеристики.

В инвертирующем случае только резистор обратной связи появляется как часть общей выходной нагрузки параллельно с фактической нагрузкой. Для нагрузки 100 Ом, используемой в характеристиках, это дает общую нагрузку 80 Ом в этой инвертирующей конфигурации. Усиленный резистор установлен для получения желаемого усиления (в данном случае 200 Ом для усиления минус 2 в то время как дополнительный согласующий входной резистор (R) можетчтобы установить полное входное сопротивление, равное источнику, если это необходимо. В этом случае RM = 66,5 Ом параллельно с резистором настройки усиления 200 Ом дает согласованный входной

импеданс 50 Ом. Это согласование необходимо только тогда, когда вход необходимо согласовать с импедансом источника, как и при тестировании характеристик. OPA842 обеспечивает чрезвычайно хорошую точность постоянного тока, а также низкий уровень шума и искажений. Чтобы в полной мере использовать эту точность постоянного тока, полное сопротивление постоянного тока, смотрящее из каждого входного узла, должно быть согласовано, чтобы получить отмену тока смещения. Для этого требуется, чтобы резистор 147 Ом показывался на земле на неинвертирующем входе. Расчет для этого резистора включает в себя постоянный импеданс источника 50 Ом с постоянным током с RG и RM. Хотя этот резистор будет обеспечивать отмену тока смещения, он должен быть хорошо развязан для фильтрации шумового вклада резистора и шумов входного тока.

На рисунке 8 изображена нвертирующая схема OPA842.

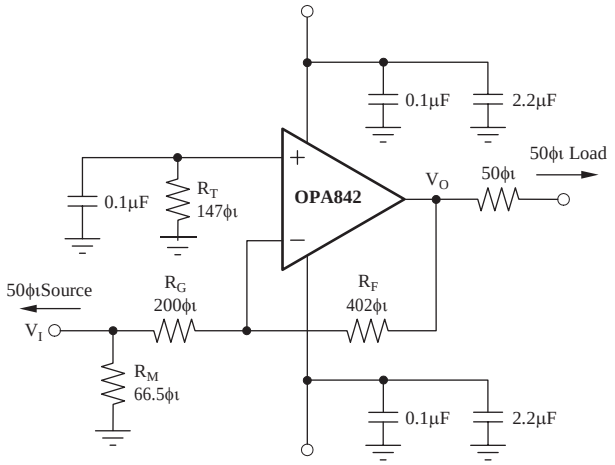

Рисунок 8 – Инвертирующая схема OPA842

Буферы высокоэффективных АЦП

Для достижения полной производительности с АЦП с высоким динамическим диапазоном необходимо проявлять большую осторожность при разработке схемы интерфейса входного усилителя. Конструкция схемы интерфейса входного усилителя. Асинхронный интерфейс с очень высоким

динамическим диапазоном преобразователя. Этот пример с подключением переменного тока позволяет OPA842 работать с использованием диапазона сигналов, который симметрично качается вокруг земли (0 В).

Качание 2Vpp затем сдвигается по уровню через блокирующий конденсатор на опорный уровень среднего уровня, который создается с помощью хорошо развязанного резистивного делителя от внутренних опорных напряжений преобразователя. Чтобы оказать незначительное влияние на номинальный бесшумный динамический диапазон (SFDR) преобразователя, усилитель SFDR должен быть как минимум на 10 дБ больше, чем преобразователь. OPA842 не влияет на номинальное искажение ADS850, учитывая его 82дБ SFDR при 2Vpp, 5МГц. Более чем 9 дБ SFDR для OPA842 в этой конфигурации не ухудшают конвертер.

Успешное применение OPA842 для управления АЦП требует тщательного выбора последовательного резистора на выходе усилителя, а также дополнительного шунтирующего конденсатора на входе АЦП. В какой-то степени выбор этой RC-сети будет определен эмпирически для каждой модели преобразователя. Многие высокопроизводительные КМОП-АЦП, такие как ADS850, работают лучше с шунтирующим конденсатором на входном штыре. Этот конденсатор обеспечивает низкий импеданс источника для переходных токов, создаваемых процессом выборки. Улучшенный SFDR часто получается путем добавления этого внешнего конденсатора, значение которого часто рекомендуется в этом листе данных преобразователя. Внешний конденсатор в сочетании со встроенной емкостью входа АЦП представляет значительную емкостную нагрузку на OPA842. Без резистора с последовательной изоляцией может возникнуть нежелательный пик или потеря стабильности в усилителе.

Поскольку ток смещения постоянного тока входа CMOS ADC ничтожен, резистор не влияет на общую точность усиления или смещения.

Одиночный дифференциальный усилитель

Архитектура с обратной связью по напряжению OPA842 с высоким коэффициентом отклонения от общего режима (CMRR) обеспечит исключительную производительность в конфигурациях дифференциального усилителя. Отправной точкой схемы является выбор значения радиочастоты в диапазоне от 200 до 2 кОм. Более низкие значения уменьшают требуемый RG, увеличивая нагрузку на источник V2 и на выход OPA842. Более высокие значения увеличивают выходной шум и усугубляют влияние паразитной платы и емкости устройства. После выбора RF, RG должен быть установлен для достижения желаемого коэффициента инверсии для V2. Помните, что полоса пропускания будет устанавливаться приблизительно с помощью коэффициента усиления полосы пропускания (GBP), деленного на усиление шума (1 + RF/RG). Для точной дифференциальной операции (то есть, хорошего CMRR) отношение R2/R1 должно быть установлено равным RF/RG. Как правило, лучше всего устанавливать абсолютные значения R2 и R1, равные соответственно RF и RG; это выравнивает сопротивление разделителя и отменяет влияние токов входного смещения. Однако иногда полезно масштабировать значения R2 и R1, чтобы регулировать нагрузку на источник V1 возбуждения. В большинстве случаев достижимая низкочастотная CMRR будет ограничена точностью значений резисторов. 85дБ CMRR самого OPA842 не будет определять общую схему CMRR, если соотношение резисторов не будет соответствовать более 0,003%. Если необходимо обрезать CMRR, то R2 является рекомендуемой точкой настройки.

На рисунке 9 отображена Схема высокоскоростного, однодифференциального усилителя.

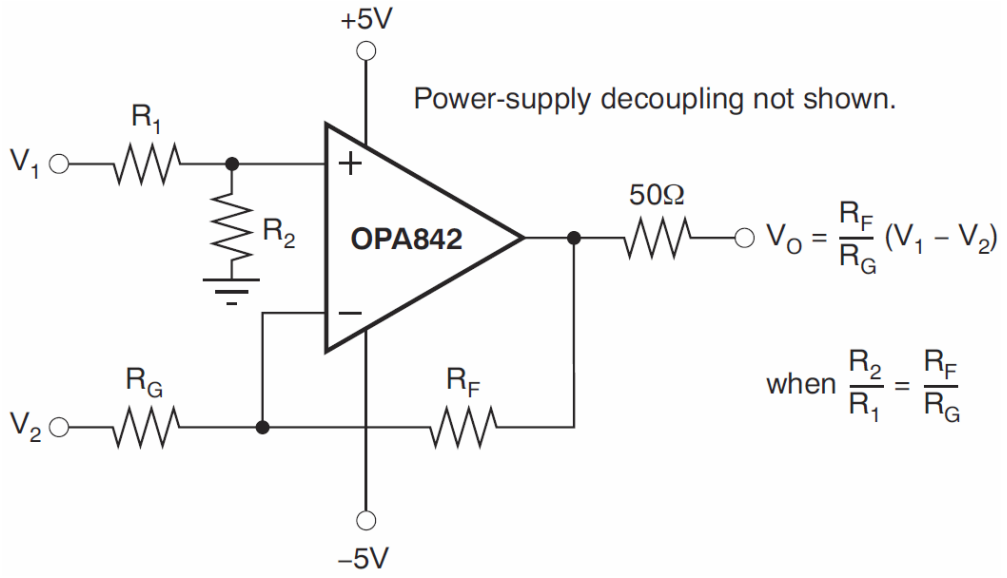

Рисунок 9 – Схема высокоскоростного, однодифференциального усилителя

Топология приборостроения

Основным недостатком дифференциального усилителя ОУ является его относительно низкий входной импеданс. Если требуется высокий импеданс на дифференциальном входе, стандартная топология усилителя (INA) может быть построена с использованием OPA842 в качестве разностной ступени. На рисунке 10 показан пример этого, в котором два входных усилителя упаковываются вместе как двойной операционный усилитель с обратной связью по напряжению, OPA2822. Этот подход позволяет экономить пространство, стоимость и мощность платы по сравнению с использованием двух дополнительных устройств OPA842 и по-прежнему обеспечивает очень хорошие шумовые и искажающие характеристики из-за умеренной нагрузки на входные усилители. В этой схеме усиление синфазного сигнала на выходе всегда равно один из-за четырех согласованных резисторов 500 Ом, тогда как дифференциальное усиление устанавливается (1 + 2RF1/RG), которое равно два.Дифференциал на одностороннее преобразование все еще выполняется выходным каскадом OPA842. Входы с высоким импедансом позволяют прерывать источники V1 и V2 или согласовывать импеданс по мере

необходимости. Если входы V1 и V2 уже действительно дифференцированы, например, выход из сигнального трансформатора, то между ними может использоваться один согласующий резистор. Помните, однако, что для входа V1 и V2 всегда должен существовать определенный канал сигнала постоянного тока; для корпуса трансформатора вторичная вторичная станция, подключенная к земле, обеспечивала бы оптимальную рабочую точку постоянного тока.

На рисунке 10 изображен широкополосный тройной усилитель.

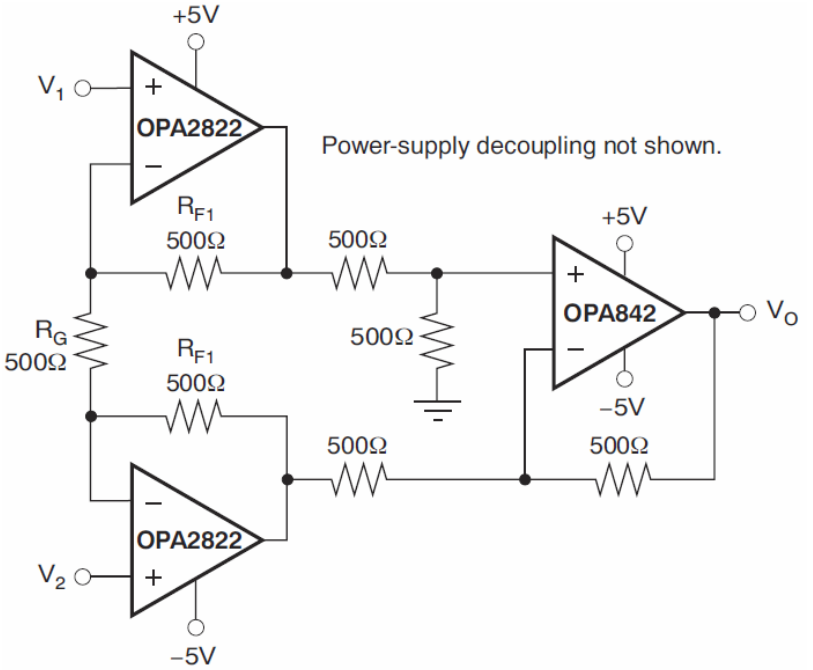

Рисунок 10 – Широкополосный тройной усилитель

Усилитель ЦАП

Высокочастотные цифро-аналоговые преобразователи (ЦАП) требуют выходного усилителя с низким уровнем искажений, чтобы сохранить производительность SFDR в реальных нагрузках. В этой схеме используется только одна сторона дополнительного сигнала выходного сигнала. На диаграмме показан выходной ток сигнала, подключенный к виртуальному наземному суммирующему соединению OPA842, который настроен как ступень трансимпеданса или I-V преобразователь. Неиспользованный

выходной ток ЦАП подключен к земле. Если ЦАП требует, чтобы его выходы были остановлены на соответствие напряжению, отличному от земли для работы, то соответствующий уровень напряжения может быть применен к неинвертирующему входу OPA842. Коэффициент постоянного тока для этой схемы равен ВЧ. На высоких частотах выходная емкость ЦАП будет генерировать нуль в коэффициенте усиления шума для OPA842, который может вызвать пиковую частоту в замкнутом контуре. CF добавляется через RF для компенсации этого пика усиления шума.Реализация выходного привода показана на рисунке 11.

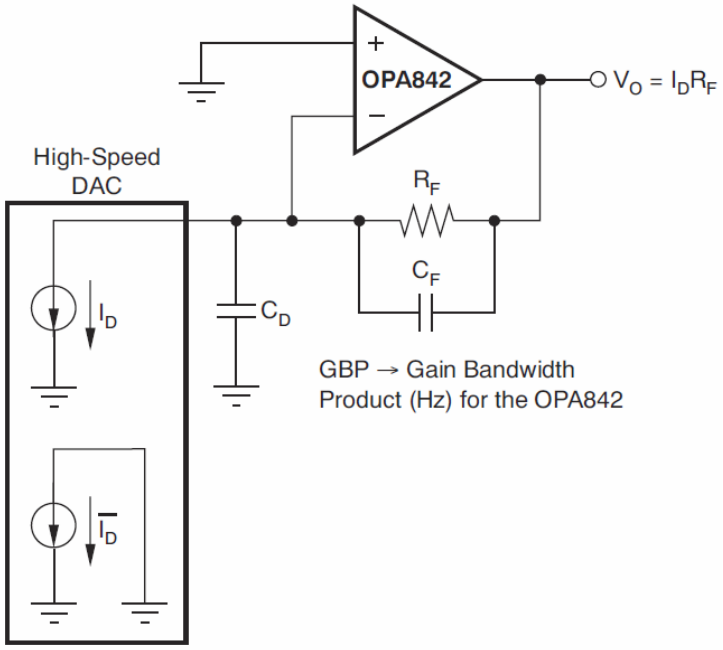

Рисунок 11 – Широкополсный, низкорезисторный ЦАП

Активные фильтры

Большинство активных топологий фильтра будут иметь исключительную производительность, используя широкую полосу пропускания и стабильность коэффициента усиления OPA842. Топологии, использующие емкостную обратную связь, требуют стабильного, стабилизированного по напряжению обратной связи операционного усилителя. Фильтры Sallen-Key просто используют операционный усилитель

как неинвертирующий уровень усиления внутри RC-сети. В реализациях Sallen-Key могут использоваться операционные усилители с токовой или обратной связью по напряжению.

Низкочастотный фильтр Sallen-Key, в котором OPA842 настроен для обеспечения низкочастотного усиления плюс 2. Значения компонентов фильтра были выбраны для достижения максимально плоского ответа Баттерворта с полосой пропускания 5 МГц, минус 3 дБ. Значения резисторов были слегка скорректированы для компенсации эффектов полосы пропускания 150 МГц, предоставленной OPA842 в этой конфигурации. Этот фильтр может сочетаться с предложениями драйвера АЦП для обеспечения умеренной (двухполюсной) фильтрации Найквиста, ограничения шума и внеполосных гармоник во вход АЦП. Этот фильтр будет обеспечивать исключительно низкое гармоническое искажение, требуемое высокими АЦП SFDR, такими как ADS850 (14 бит, 10MSPS, 82 дБ SFDR).

На рисунке 12 отображен низкочастотный активный фильтр Баттерфорда.

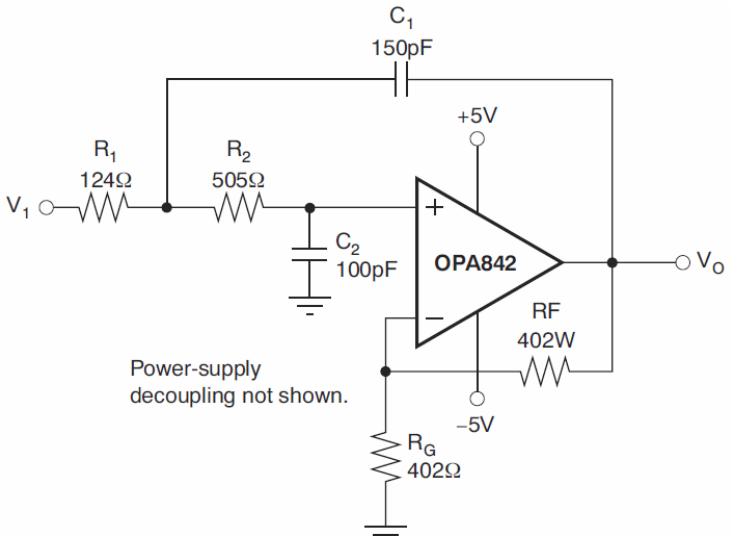

Рисунок 12 – Низкочастотный активный фильтр Баттерфорда

Тепловой анализ

В большинстве случаев OPA842 не потребует теплоотдачи или воздушного потока. Максимальная желаемая температура перехода установила максимально допустимую внутреннюю рассеиваемую мощность, как описано ниже. В любом случае максимальная температура перехода не должна превышать плюс 175°C.

Суммарная внутренняя рассеиваемая мощность (PD) представляет собой сумму покоя (PDQ) и дополнительную мощность, рассеиваемую на выходном каскаде (PDL) для обеспечения мощности нагрузки. Сила покоя - это просто заданный ток питания без нагрузки, умноженный на общее напряжение питания на части. PDL будет зависеть от требуемого выходного сигнала и нагрузки, но для заземленной резистивной нагрузки будет максимальным, если выход зафиксирован при напряжении, равном 1/2 от любого напряжения питания (для равных биполярных источников). В этом худшем случае

$$PDL = VS2 / (4 \cdot RL), \qquad (2.2)$$

где RL включает в себя загрузку сети обратной связи.

Обратите внимание, что это мощность на выходном каскаде, а не нагрузка, которая определяет внутреннюю рассеиваемую мощность.

2.2.3 Описание стабилизатора напряженияLM1117

Стабилизатор напряжения – устройство, которое поддерживает выходное напряжение в заданных пределах вне зависимости от колебания входного напряжения и тока.

В данном случаем мы выбрали стабилизатор с малым падением напряжения – LM1117, который изображен на рисунке 13.

Рисунок 13- Внешний вид стабилизатора напряжения

Данный стабилизатор может работать до 800мА.

2.2.4 Описание преобразователя уровня FT232RL

На рисунке 14 изображен преобразователь уровня FT232RL.

Рисунок 14 – Внешний вид FT232RL

Особенности преобразователя уровня

FT232R - это интерфейс USB для последовательного интерфейса UART со следующими расширенными функциями:

- один чип USB для асинхронного последовательного интерфейса передачи данных;

- весь протокол USB обрабатывается на чипе. Программирование прошивки не требуется;

- полностью интегрированные дескрипторы устройства EEPROM с 1024 бит EEPROM и конфигурация ввода-вывода CBUS;

- полностью встроенные резисторы для подключения USB;

- полностью встроенная синхронизация с отсутствием внешнего кристалла плюс дополнительный выбор выходного тактового сигнала, обеспечивающий бес ключевой интерфейс для внешнего MCU или FPGA;

- пкорость передачи данных от 300 бит до 3 Мбит (RS422, RS485, RS232) на уровнях TTL;

- 256-байтовый приемный буфер и 128-байтовый буфер передачи с использованием технологии сглаживания буфера для обеспечения высокой пропускной способности данных;

- в большинстве случаев драйвер FTDI без лицензионных платежей (VCP) и Direct (D2XX) устраняет необходимость разработки драйверов USB;

- уникальная функция USB FTDIChip-ID;

- конфигурируемые контакты ввода / вывода CBUS;

- передавать и принимать сигналы светодиодного привода;

-буферы приема и передачи FIFO для высокой пропускной способности;

- устройство, предварительно запрограммированное с уникальным серийным номером USB;

- поддерживает конфигурации USB с питанием от шины, автономного питания и высокой мощности.;

- встроенный преобразователь уровняплюс 3,3 В для ввода / вывода USB;

- встроенный преобразователь уровня на UART и CBUS для сопряжения между логикой плюс 1,8 В и плюс 5 В;

- используются 5 В / 3,3 В / 2,8 В / 1,8В CMOS выход и TTL-вход;

- конфигурируемая сила вывода выходного контакта I/O;

- встроенная схема включения питания;

- полностью интегрированная фильтрация подачи AVCC - не требуется внешняя фильтрация;

- опция инверсии сигнала UART;

- от плюс 3,3 В до плюс 5,25 В;

- низкий рабочий ток и приостановка USB;

- низкое потребление пропускной способности USB;

- совместимость с хост-контроллером UHCI / OHCI / EHCI;

- совместимость с USB 2.0 Full Speed.;

- диапазон рабочих температур от минус 40°С до 85°С;

Области применения

- преобразователи USB в RS232 / RS422 / RS485;

- обновление устаревших периферийных устройств до USB;

- кабели и интерфейсы передачи данных сотового и беспроводного телефона USB;

- передача данных с помощью КПК и USB;

- USB-считыватели смарт-карт;

- промышленный контроль USB;

- интерфейс USB-плеера USB;

- USB-устройство чтения FLASH-карт и Writers;

- устанавливать ПК Top Box – USB;

- интерфейс USB цифровой камеры;

- модем USB-устройства;
- беспроводные модемы USB;
- USB-считыватели штрих-кодов;
- USB-программное обеспечение и аппаратные ключи шифрования.

Входные и выходные контактыFT232RL

На рисунке 15 изображено наименование контактов FT232RL.

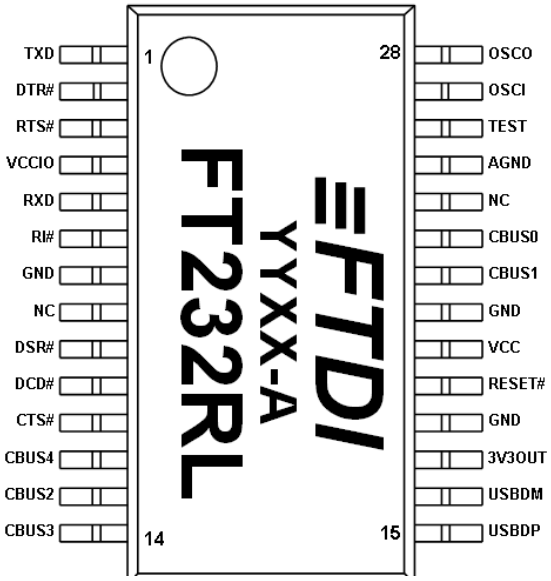

Рисунок 15 – Наименование контактовFT232RL

На рисунке 16 изображенысгруппированные контактыFT232RL.

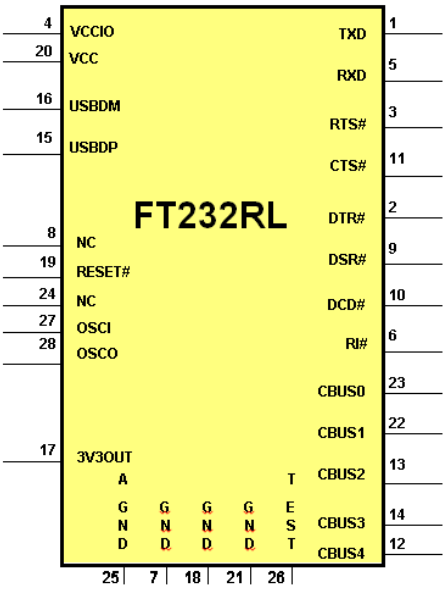

Рисунок 16 – Сгупированные контактыFT232RL

В таблице 3 описаны интерфейсы UART и CUSB Group.

Таблица 3 - Интерфейс UART и CUSB Group

Номер	Наименование	Тип	Описание
13	CBUS2	I/O	Конфигурируемый контакт ввода / вывода CBUS. Функция этого штыря настраивается в внутренней EEPROM устройства. Заводская настройка по умолчанию - TXDEN
14	CBUS3	I/O	Конфигурируемый контакт ввода / вывода CBUS. Функция этого штыря настраивается в внутренней EEPROM устройства. Заводская настройка по умолчанию PWREN
22	CBUS1	I/O	Конфигурируемый контакт ввода / вывода CBUS. Функция этого штыря настраивается в внутренней EEPROM устройства. Заводская настройка по умолчанию RXLED
23	CBUS0	I/O	Конфигурируемый контакт ввода / вывода CBUS. Функция этого штыря настраивается в внутренней EEPROM устройства. Заводская настройка по умолчанию TXLED

В таблице 4 описаны другие группы сигналовFT232RL.

Таблица 4 – Другая группа сигналов

Номер	Наименование	Тип	Описание
8, 24	NC	NC	Нет внутренней связи
19	RESET#	Input	Активный низкий сброс. Это можно использовать внешним устройством для сброса FT232R. Если не требуется, его можно отключить или подключить к VCC.
26	TEST	Input	Переводит устройство в режим тестирования IC. Для нормальной работы должен быть привязан к GND, иначе устройство не будет корректно работать.
27	OSCI	Input	Входная ячейка осциллятора 12 МГц. Так же может быть не подключен для нормальной работы.
28	OSCO	Output	Выход из ячейки осциллятора 12 МГц. Так же может быть не подключен для нормальной работы , если используется внутренний осциллятор

В таблице 5 описаны питание и заземление контактов FT232RL.

Таблица 5 – Питание и заземление

Номер	Наименование	Тип	Описание
4	VCCIO	PWR	+ 1,8 В до + 5,25 В для интерфейса UART и контактов группы CBUS (1 ... 3, 5, 6, 9 ... 14, 22, 23). В устройствах с шиной USB подключается этот контакт к выходу 3V3OUT для выключения на уровнях + 3,3 В или подключается к VCC для выключения на 5В CMOS уровне. Этот вывод также может поставляться с внешним питанием от 1,8 В до + 2,8 В для того, чтобы управлять выходами на более низких уровнях. Это означает, что в схемах с питанием от шины должен использоваться регулятор, который питается +5 В на шине USB.
7, 18, 21	GND	PWR	Контакты для заземления устройства
17	3V3OUT	Output	+ 3,3 В от интегрированного регулятора LDO. Этот контакт должен быть отсоединен от земли с использованием конденсатора 100 нФ. Основное использование этого контакта - обеспечить внутреннее питание + 3,3 В для приемопередатчика USB и внутреннего резистора на 1,5 кОм на USBDP. До 50 мА можно извлечь из этого контакта, чтобы подключить внешнюю логику, если это необходимо. Этот контакт может использоваться для вывода VCCIO.
20	VCC	PWR	+ 3,3 В до + 5,25 В для ядра устройства.
25	AGND	PWR	Аналоговый источник питания устройства для внутреннего множителя тактовых импульсов

В таблице 6 описаны группы интерфейса USBFT232RL.

Таблица 6 – Группа интерфейса USB

Номер	Наименование	Тип	Описание
15	USBDP	I/O	USB Data Signal Plus, включающий внутренний резистор и резистор 1,5 кОм до 3,3 В.
16	USBDM	I/O	USB Data Signal Minus, включающий встроенный резистор.

Описание функции

FT232R - это USB-последовательное интерфейсное устройство UART, которое упрощает USB-последовательный дизайн и уменьшает количество внешних компонентов, полностью интегрируя внешние устройства EEPROM, USB-терминальные резисторы и встроенную схему синхронизации, которая не требует внешнего кристалла, в устройство. Он был разработан для эффективной работы с контроллером хоста USB, используя как можно меньше общей пропускной способности USB.

3 Разработка печатной платы

На данном этапе мы будем производить разводку схемы. приведенной в разделе «Разработка принципиальной схемы» с помощью программного обеспечения PCAD-2006.Из-за малых габаритов печатной платы мы не сможем реализовать копланарные проводники.Будут переходники на другие слои печатой платы и вследствии этого - большие помехи, малый КСВ.

Будет реализовано 2 слоя,так как больше слоев – это увеличение затрат на изготовление устройства.

На рисунке 17 изображен главный слой печатной платы.

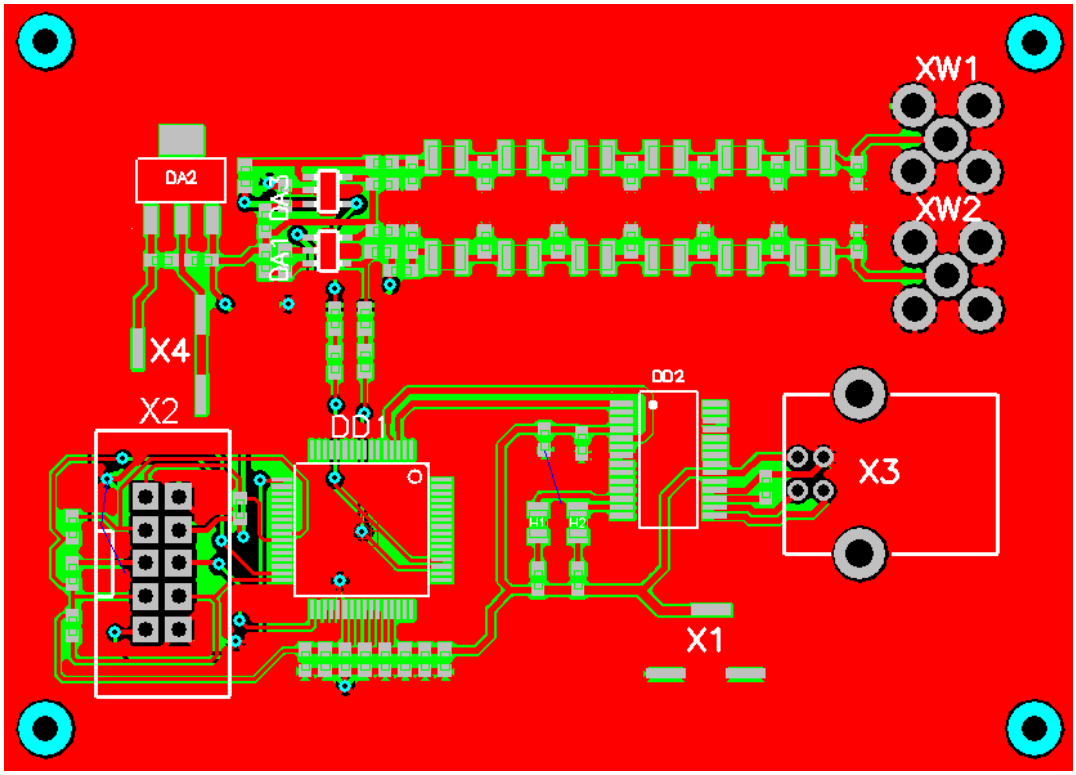

Рисунок 17 – Расположение элементов на главном слое

На рисунке 18 изображен нижний слой печатной платы.

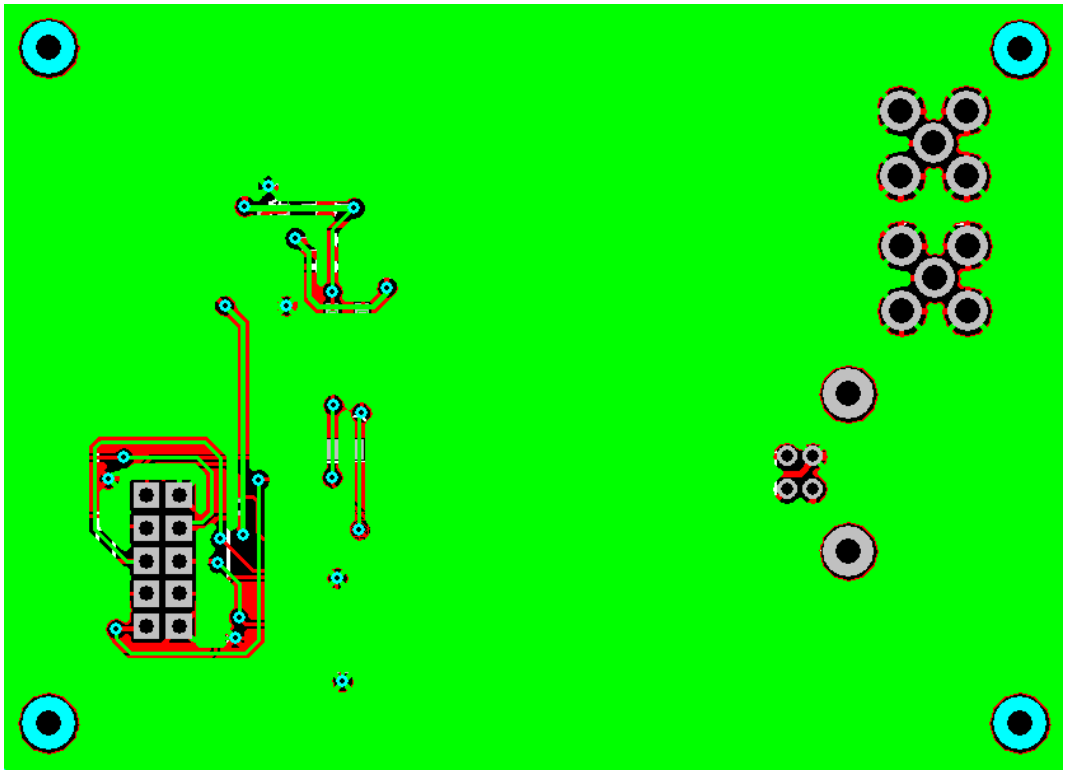

Рисунок 18 – Нижний слой печатной платы

4 Безопасность жизнедеятельности

В дипломном проекте разрабатывается и исследуется электронное устройство, поэтому в данном разделе необходимо рассмотреть вопросы, связанные с охраной труда как на этапе производства, так и при проведении экспериментов.

Модуль цифрового генератора сигналов произвольной формы выполнен в виде учебного стенда, для проведения лабораторных работ. При проведении работ с учебным стендом необходимо обеспечить соблюдение требований безопасности.

Данное устройство является переносным и относится к электротехническим изделиям I класса по способу защиты человека от поражения электрическим током.

Класс электробезопасности I - изделия, имеющие рабочую изоляцию и элемент для заземления. В случае, если изделие класса I имеет провод для присоединения к источнику питания, этот провод должен иметь заземляющую жилу и вилку с заземляющим контактом.

4.1 Анализ опасных и вредных производственных факторов

При проведении лабораторных работ должно быть доведено до безопасных значений опасных и вредных производственных факторов. При проведении этих работ возникают опасные и вредные производственные факторы (ОВПФ).

В соответствии с ГОСТ 12.0.003-2015 «Классификация опасных и вредных производственных факторов», можно выделить несколько групп факторов.

<u>Физические:</u>

- повышенная или пониженная температура материалов и поверхности оборудования;
- повышенная запыленность влажность воздуха;

- недостаточная освещенность рабочей зоны;
- повышенный уровень шума;
- опасный уровень напряжения;
- статическое электричество.

Психофизиологические:

- напряженность внимания;
- неправильная рабочая поза.

Химические:

- выделение паров следующих веществ: олова, свинца, канифоли, клея, растворителей.

Оборудование, применяемое в учебных лабораториях, должно соответствовать требованиям ГОСТ 12.2.003-2015.

Учебное лабораторное оборудование должно обеспечить безопасность, использующих оборудование, и соблюдать требования,предусмотренные руководством по эксплуатации(РЭ).

Эксплуатация включает в себя техническое обслуживание, использование по назначению,хранение и транспортирование.

Безопасность учебного стенда обеспечивается выбором рабочих процессов, источника энергии и системы управления,применения средств защиты от поражения электрическим током.

4.2 Общие требования безопасности

Требования к конструкции и ее отдельным частям.

1. Конструкция лабораторного оборудования должна исключать во всех режимах работы нагрузки на детали и сборочные единицы, способные вызвать разрушения, представляющие опасность для учащихся.

2. Элементы конструкции лабораторного оборудования не должны иметь острых углов, кромок, заусенцев и поверхностей с неровностями,

представляющих опасность травмирования учащихся, если их наличие не определяется функциональным назначением этих элементов.

3. Лабораторное оборудование должно быть пожаровзрывобезопасным в предусмотренных условиях эксплуатации.

4. Конструкция лабораторного оборудования, приводимого в действие электрической энергией, должна включать устройства (средства) для обеспечения электробезопасности.

5. Лабораторное оборудование, являющееся источником шума, ультразвука и вибрации, должно быть выполнено так, чтобы шум, ультразвук и вибрация в предусмотренных условиях и режимах эксплуатации не превышали установленные стандартами допустимые уровни.

6. Лабораторное оборудование должно быть оснащено местным освещением, если его отсутствие может явиться причиной перенапряжения органа зрения или повлечь за собой другие виды опасности.

4.3 Требование к рабочим местам

1. Размеры рабочего места и размещение его элементов должны обеспечивать выполнение рабочих операций в удобных рабочих позах и не затруднять движений работающего.

2.При проектировании рабочего места следует предусматривать возможность выполнения рабочих операций в положении сидя или при чередовании положений сидя и стоя, если выполнение операций не требует постоянного передвижения учащегося.

4.4Требования к системе управления

1. Система управления производственным оборудованием должна включать средства экстренного торможения и аварийного останова (выключения), если их использование может уменьшить или предотвратить опасность.

2. В зависимости от сложности управления и контроля за режимом работы производственного оборудования система управления должна включать средства автоматической нормализации режима работы или средства автоматического останова, если нарушение режима работы может явиться причиной создания опасной ситуации.

3.При наличии в системе управления переключателя режимов функционирования производственного оборудования каждое положение переключателя должно соответствовать только одному режиму (например, режиму регулирования, контроля и т.п.) и надежно фиксироваться в каждом из положений, если отсутствие фиксации может привести к созданию опасной ситуации.

4. Система управления должна включать средства сигнализации и другие средства информации, предупреждающие о нарушениях функционирования производственного оборудования, приводящих к возниканию опасных ситуаций.

5. Полное или частичное прекращение энергоснабжения и последующее его восстановление, а также повреждение цепи управления энергоснабжением не должны приводить к возниканию опасных ситуаций, в том числе:

- самопроизвольному пуску при восстановлении энергоснабжения;
- невыполнению уже выданной команды на останов;
- снижению эффективности защитных устройств.

4.5 Требования к средствам защиты, входящим в конструкцию, и сигнальным устройствам

1. Средства защиты должны выполнять свое назначение непрерывно в процессе функционирования производственного оборудования или при возникании опасной ситуации.

2. Конструкция и расположение средств защиты не должны ограничивать технологические возможности производственного оборудования и должны обеспечивать удобство эксплуатации и технического обслуживания.

3. Действие средств защиты не должно прекращаться раньше, чем закончится действие соответствующего опасного или вредного производственного фактора.

4. Конструкция средств защиты должна обеспечивать возможность контроля выполнения ими своего назначения до начала и (или) в процессе функционирования производственного оборудования.

5. Отказ одного из средств защиты или его элемента не должен приводить к прекращению нормального функционирования других средств защиты.

Температура поверхностей оборудования и технологических трубопроводов, к которым возможны прикосновения людей при проведении лабораторных работ, не должна превышать 45°С.

Питание учебного стенда должно осуществляться от сети не более 380 В. При частоте 50 Гц. Сопротивление изоляции токоведущих частей электроустановок до первого аппарата максимальной токовой защиты (предохранителя, автомата и др.) должно быть не менее 0,5 МОм, а сопротивление между заземляющим болтом (винтом, шпилькой) и каждой доступной прикосновению металлической нетоковедущей частью изделия, которая может оказаться под напряжением, - не более 0,1 Ом.

4.6 Требования к помещениям для учебных лабораторных работ

1. Площадь помещений учебной лаборатории на одного студента должна быть не менее 4,5 м^2.

2. Помещение лаборатории должно быть оборудовано автоматическими извещателями системы пожарной сигнализации.

3. Конструкции и элементы лабораторного оборудования и аппаратуры, которые могут быть источником опасности, должны быть обозначены сигнальными цветами, а в опасных зонах помещения лаборатории установлены знаки безопасности по ГОСТ 12.4.026-2015.

4. В помещении учебной лаборатории должны быть средства оказания первой медицинской помощи (аптечка, шины, средства дезинфекции и др.) и нейтрализации особо опасных химических веществ с постоянно обновляемыми в установленные сроки медикаментами.

4.7 Требования к размещению оборудования и организации рабочих мест

1. Размещение средств отображения информации должно обеспечивать свободное восприятие общей сигнальной информации в интерьере лаборатории.

2. Размещение оборудования в помещении учебной лаборатории должно обеспечивать удобство и безопасность выполнения всех видов рабочей деятельности при проведении лабораторных работ.

3. Планировка помещений учебной лаборатории должна обеспечивать освещение рабочих мест студентов естественным светом.

4.8 Требования к персоналу и студентам

1. В учебной лаборатории должны быть утвержденные инструкции по технике безопасности и пожарной безопасности, а также журналы инструктажа.

2. Преподавательский состав, проводящий лабораторные работы, и учебно-вспомогательный персонал, обслуживающий оборудование в лабораториях, должны проходить обучение, инструктаж и проверку знаний правил безопасного выполнения лабораторных работ.

3. Студенты допускаются к выполнению лабораторных работ только после прохождения инструктажа по безопасности труда и пожарной безопасности в лаборатории в целом и на каждом рабочем месте.

5 Организационно-экономический раздел

В организационно-экономическом разделе работы проводится планирование опытно-конструкторских работ методом сетевого планирования, рассчитывается себестоимость выполняемых работ, стоимостная оценка результатов, а так же вычисляется срок окупаемости нового изделия.

5.1 Построение сетевого графика

Сетевое планирование широко применяется для оптимизации управления сложными разветвленными комплексами работ. Для построения сетевого графика составляется перечень работ, их параметров, а также численность исполнителей по категориям. В качестве исполнителей работ необходимо привлечь одного руководителя (рук.), двух инженеров (инж.) и одного лаборанта техника (лаб.). В таблице 7 приведен перечень работ сетевого графика дипломной работы с указанием кода работы, исполнителей, а также продолжительностью в днях каждой работы. При этом предполагается, что минимальная оценка соответствует наиболее благоприятным, а максимальная - наиболее неблагоприятным условиям работы.

Ожидаемая продолжительность работы tij в СГ рассчитывается по принятой двухоценочной методике, исходя из минимальной tij мин и максимальной tij макс оценок продолжительности, задаваемых ответственным исполнителем каждой работы. При этом предполагается, что минимальная оценка соответствует наиболее благоприятным условиям работы, а максимальная - наиболее неблагоприятным.

Ожидаемая продолжительность каждой работы определяется по формуле

$$t_{ij\ ож} = 0{,}6\ t_{ij\ мин} + 0{,}4\ t_{ij\ макс}. \quad (5.1)$$

Среднеквадратическое отклонение δij продолжительности в двухоценочной методике рассчитывается по формуле

$$\delta_{ij} = 0{,}2\ (t_{ij\ макс} - t_{ij\ мин}). \quad (5.2)$$

Дисперсия определяется по формуле

$$Dij = 0{,}04(\,tij\ макс - tij\ мин\,)^2. \qquad (5.3)$$

Рассчитанные значения заносятся в таблицу 7 по возрастанию кодов работ.

Ранний срок начала работы $T_{рнij}$ совпадает с ранним сроком свершения его начального события.

Поздний срок начала работы $T_{пнij}$ можно получить, если из позднего срока свершения её конечного события вычесть её ожидаемую продолжительность.

Ранний срок окончания работы $T_{роij}$ образуется прибавлением её продолжительности к раннему сроку свершения её начального события.

Поздний срок окончания работы $T_{поij}$совпадает с поздним сроком свершения её конечного события.

Полный резерв времени работы R_{nij}образуется вычитанием из позднего срока свершения её конечного события раннего срока свершения её начального события и её ожидаемой продолжительности.

Частный резерв времени первого рода R^1_{nij}равен разности поздних сроков свершения её конечного и начального событий за вычетом её ожидаемой продолжительности.

Частный резерв времени второго рода R^2_{nij} равен разности ранних сроков свершения её конечного и начального событий за вычетом её ожидаемой продолжительности.

Свободный резерв времени работы R_{cij}образуется вычитанием из раннего срока свершения её конечного события позднего срока свершения её начального события её ожидаемой продолжительности.

В таблице 7отображен перечень, параметры и вероятностные характеристики работ СГ.

Таблица 7 - Перечень, параметры и вероятностные характеристики работ СГ

Код работы	Наименование работы	Продолжительность, дн			Исполнители, чел.			Средне-квадратическое отклонение, дн	Дисперсия, дн^2
		мин.	макс.	ожид.	рук.	инж.	лаб.		
0-1	Получение темы. Анализ темы. Составление технического задания	2	5	3	1	2	0	0,60	0,36
1-2	Согласование и подписание технического задания	1	3	2	1	2	0	0,24	0,16
1-3	Подбор литературы для реализации проекта	3	6	4	0	1	1	0,80	0,64
1-4	Выбор САПРа для моделирования	2	7	4	0	2	0	0,80	0,64
2-5	Анализ литературы	1	6	3	0	0	1	1,00	1,00
3-5	Поиск аналогичных проектов	1	4	2	0	2	1	0,60	0,36
4-5	Подробное изучение функциональных возможностей САПРа	6	13	9	0	2	0	1,40	1,96
5-6	Изучение аналогичных проектов (моделей)	3	7	5	0	2	1	0,80	0,64
6-7	Математическое описание каждого элемента проекта	7	11	9	0	2	0	0,80	0,64
7-8	Подбор литературы по БЖД	1	3	2	0	0	1	0,40	0,16
7-9	Подбор литературы по экономической части	1	3	2	0	0	1	0,40	0,16
8-10	Анализ литературы по БЖД	4	6	5	0	0	1	0,40	0,16
9-10	Анализ литературы по экономической части	3	6	4	0	0	1	0,60	0,36

Продолжение таблицы 7

Код работы	Наименование работы	Продолжительность, дн			Исполнители, чел.			Средне-квадратическое отклонение, дн	Дисперсия, дн^2
		мин.	макс.	ожид.	рук.	инж.	лаб.		
10-11	Математическое описание каждого элемента проекта	6	18	11	0	2	0	2,40	5,76
11-12	Реализация проекта в САПР	9	24	15	1	2	0	3,00	9,00
12-13	Анализ функциональной недостаточности	3	7	5	0	2	1	0,80	0,64
12-14	Выдвижение и проработка предложение по модернизации проекта.	5	10	7	1	2	1	1,00	1,00
13-15	Разработка критериев оценки функционирования проекта	2	5	3	1	2	0	0,60	0,36
14-15	Доработка проекта в соответствии с предложениями по его модернизации	4	8	6	0	2	1	0,80	0,64
15-16	Исследование цифрового генератора сигналов, реализованном в САПР	4	9	6	0	2	1	1,00	1,00
16-17	Анализ данных, полученных при исследовании цифрового генератора сигналов	2	5	3	0	1	1	0,60	0,36
16-18	Разработка мероприятий по БЖД	2	6	4	0	1	1	0,80	0,64
17-19	Составление сетевого графика	3	6	4	0	0	1	0,60	0,36
18-19	Составление обзора по литературе	1	3	2	0	0	1	0,40	0,16
19-20	Оформление пояснительной записки	4	7	5	0	2	0	0,60	0,36

Продолжение таблицы 7

Код работы	Наименование работы	Продолжительность, дн			Исполнители, чел.			Средне-квадрати-ческое отклоне-ние, дн	Дисперсия, дн^2
		мин.	макс.	ожид.	рук.	инж.	лаб.		
20-21	Подготовка плакатов	1	5	3	0	2	1	0,80	0,64
21-22	Составление презентации для защиты проекта	3	6	4	0	1	1	0,60	0,36
22-23	Написание речи	2	4	3	0	2	0	0,24	0,16
23-24	Защита проекта	1	1	1	1	2	0	0	0

5.2 Расчёт параметров событий сетевого графика

Ранний срок свершения исходного (нулевого) события СГ принимается равным нулю. Ранний срок свершения данного промежуточного события рассчитывается путём сравнения сумм, состоящих из раннего срока свершения события, непосредственно предшествующего данному и длительности работы. Так как данное событие не может свершиться, пока не закончится последняя из непосредственно предшествующих ему работ, очевидно, что в качестве раннего срока свершения события принимается максимальная из сравниваемых сумм.

Параметры событий сетевого графика отображены в таблице 8.

Таблица 8- Параметры событий сетевого графика

Номер события	Сроки свершения		Резерв времени	Номер события	Сроки свершения		Резерв времени
	ранний	поздний			ранний	поздний	
0	0	0	0	13	68	73	5
1	3	3	0	14	70	70	0
2	5	12	7	15	76	76	0
3	7	14	7	16	82	82	0
4	7	7	0	17	85	85	0
5	16	16	0	18	86	87	1
6	21	21	0	19	89	89	0
7	30	30	0	20	94	94	0
8	32	32	0	21	97	97	0
9	32	33	1	22	101	101	0
10	37	37	0	23	104	104	0
11	48	48	0	24	105	105	0
12	63	63	0				

5.3Расчёт параметров работ сетевого графика

Для работ, лежащих на критическом пути коэффициент напряжённости $К_{нij} = 1$. Коэффициент напряжённости всегда меньше либо равен 1, его величина подсчитывается как отношение суммы продолжительностей отрезков максимального пути, проходящего через данную работу, не совпадающих с критическим путём $t_{максij}$ к сумме продолжительностей отрезков критического пути, не совпадающих с максимальным путём, проходящим через эту работу $t_{крij}$.

В зависимости от коэффициента напряжённости все работы попадают в одну из трёх зон напряжённости:

- критическую, $к_{нij} > 0.8$;
- промежуточную, $0,5 \leq к_{нij} \leq 0,8$;
- резервную, $к_{нij} < 0,5$.

Результаты расчётов представлены в таблице 9.

Таблица 9 - Параметры работ сетевого графика

Код работы	Продолжительность	Сроки начала		Сроки окончания		Резервы времени				Коэффициент напряжённости
		ранний	поздний	ранний	поздний	полный	частный 1 рода	частный 2 рода	свободный	
0-1	3	0	0	3	3	0	0	0	0	1,00
1-2	2	3	3	5	12	7	7	0	0	0,46
1-3	4	3	3	7	14	7	7	0	0	0,46
1-4	4	3	3	7	7	0	0	8	0	1,00
2-5	3	5	12	16	16	8	1	7	1	0,46
3-5	2	7	14	16	16	7	0	0	0	0,46
4-5	9	7	7	16	16	0	0	0	0	1,00
5-6	5	16	16	21	21	0	0	0	0	1,00
6-7	9	21	21	30	30	0	0	0	0	1,00
7-8	2	30	30	32	32	0	0	0	0	1,00
7-9	2	30	30	32	33	1	1	0	0	0,86
8-10	5	32	32	37	37	0	0	1	0	1,00
9-10	4	32	33	37	37	1	0	0	0	0,86
10-11	11	37	37	48	48	0	0	0	0	1,00
11-12	15	48	48	63	63	0	0	0	0	1,00
12-13	5	63	63	68	73	5	5	0	0	0,62
12-14	7	63	63	70	70	0	0	5	0	1,00
13-15	3	68	73	76	76	5	0	0	0	0,62
14-15	6	70	70	76	76	0	0	0	0	1,00
15-16	6	76	76	82	82	0	0	0	0	1,00
16-17	3	82	82	85	85	0	0	0	0	1,00
16-18	4	82	82	86	87	1	1	0	0	0,86
17-19	4	85	85	89	89	0	0	1	0	1,00
18-19	2	86	87	89	89	1	0	0	0	0,86
19-20	5	89	89	94	94	0	0	0	0	1,00
20-21	3	94	94	97	97	0	0	0	0	1,00

Продолжение таблицы 9

Код работы	Продолжительность	Сроки начала		Сроки окончания		Резервы времени				Коэффициент напряжённости
		ранний	поздний	ранний	поздний	полный	частный 1 рода	частный 2 рода	свободный	
21-22	2	97	97	101	101	0	0	0	0	1,00
22-23	3	101	101	104	104	0	0	0	0	1,00
23-24	1	104	104	105	105	0	0	0	0	1,00

Количество событий n_c = 24. Количество работ n_p = 29.

Коэффициент сложности СГ, равный отношению количества работ к количеству событий в СГ: Кс=1,21. Критический путь $L_{кр}$ = 105 дней.

Дисперсия срока наступления завершающего события определяется в соответствии с центральной предельной теоремой теории вероятностей как сумма дисперсии работ критического пути:

D= 26

Вероятность свершения завершающего события в срок, равный продолжительности критического пути, равна p(tсв ≤ tкр) = 0,5. Если директивный срок Тд установлен меньше продолжительности критического пути, вероятность свершения события к директивному сроку меньше 0,5 и может быть рассчитана с помощью функции распределения нормального отклонения (нормированная функция Лапласа) Ф(и)+0,5. Нормальное отклонение "и" равно разности между директивным сроком и продолжительностью критического пути (с учётом знака), отнесённой к среднеквадратическому отклонению продолжительности критического пути.

Если вероятность свершения завершающего события меньше 0,35, считается, что опасность нарушения директивного срока настолько велика, что необходимо повторное планирование с перераспределением или

дополнительным привлечением ресурсов на работы критического пути. Если эта вероятность больше 0,65 (что имеет место при директивном сроке, превышающим продолжительность критического пути), целесообразно перепланировать весь СГ, так как на всех работах, включая критические, имеются избыточные ресурсы.

Среднеквадратическое отклонение продолжительности критического пути определяется по формуле

$$\delta_{кр} = \sqrt{Д_{tкр}} = 5{,}1, \qquad (5.4)$$

где Дtкр - дисперсия срока наступления завершающего события, равная сумме дисперсий работ критического пути.

Директивный срок написания диплома 105 дней с момента выдачи задания на преддипломной практике до сдачи пояснительной записки на кафедру для утверждения и прохождения нормоконтроля.

Вероятности свершения завершающего события указана в таблице 10.

Таблица 10 - Вероятности свершения завершающего события

Наименование показателя	Директивный срок
Критический срок	105
Среднеквадратическое отклонение	3,949683532
Директивный срок	106
Нормальное отклонение	0,253184842
Вероятность свершения	0,6

Полученная вероятность больше 0,35 и меньше 0,65, этозначит, что оптимизация сетевого графика не требуется.

5.4 Расчет затрат на проведение НИОКР

Дипломный проект относится к НИОКР (научно-исследовательская и опытно-конструкторская работа). Сметная стоимость НИОКР складывается из следующих статей затрат:

- материалы;

- контрагентские расходы;
- покупные изделия;
- заработная плата;
- накладные расходы;
- смета затрат.

Рассмотрим каждую статью затрат более подробно. Затраты на материалы приведены в таблице 11.

Таблица 11 - Затраты на материалы

Наименование	Количество, шт	Стоимость, руб
Микросхема STM32 F407 VGT6	1	750
кондесатор	18	51
катушки	10	33
Разъём USB	1	39
Паяльная паста	1	19
Крышка	1	63
Обечайка	1	55
Дно	1	48
Перегородка	2	3
Радиатор	1	99
Итого:		2327

Контрагентские расходы включают стоимость работ, выполняемых сторонними организациями и предприятиями по заказу данной организации, результаты которых используются в данной НИР. При выполнении данной работы в качестве контрагентских расходов выступает вывод графического материала.

В таблице 12 описаны затраты на контрагентские расходы.

Таблица 12 – Затраты на контрагентские расходы

Наименование	Количество, шт.	Цена, руб.	Стоимость, руб.
Печать А4	80	2	160
Печать А1	4	50	200

Итого: 360 руб.

Рассчитаем расходы на заработную плату. Ее можно рассчитать, разделив месячный должностной оклад на среднее число рабочих дней в месяце, установленное в законодательном порядке (22 дня), и умножив на количество дней, в которых занят специалист (трудоемкость).

К итоговой сумме необходимо прибавить 30% это затраты на фонд оплаты труда.

Затраты на заработную плату представлены в таблице 13.

Таблица 13 – Расчет основной заработной платы

Категории работников	Оклад, руб.	Трудо-емкость, дн	Одно-дневная з/п, руб.	Полная з/п, руб.
Руководитель	37000	31	1380	42780
Инженеры	25000	209	1100	229900
Лаборант	11000	72	500	36000
			Итого	308680
			Итого +ФОТ	401284

Покупные изделия или покупные программные продукты, лицензии.

Лицензия P-CAD 2017 – 50000 руб.

Итого: 50000 руб.

Накладные расходы (НР). Накладные расходы связаны с затратами на управление и хозяйственное обслуживание, и составляют 10% от суммы затрат по предыдущим пунктам (453971 руб.). Накладные расходы равны 45397 руб.

Смета затрат на НИОКР отображена в таблице 14.

Таблица 14 - Смета затрат на НИОКР

Наименование	Стоимость, руб.
Материалы	2327
Контрагентские расходы	360
Покупные программные продукты	50000
Заработные платы и начисления	401284
Накладные расходы	45397
Итого	499368

5.5 Анализ технико-экономической эффективности

В ходе дипломного проектирования был разработан лабораторный макет, стоимость разработки лабораторного стенда в сторонней организации 1500 рублей за 1 час работы. Для опытных специалистов на разработку данной модели при 8 часовом рабочем дне потребовалось бы около 2 месяцев работы (44 рабочих дня). Таким образом получаем 528000 руб. Так же данный стенд нужно тестировать и проверять. Тестирование и устранение неполадок заняло бы в сторонней организации около двух недель (10 рабочих дней). Инженеры по тестированию получают 800 руб. за час своего рабочего времени. Рассчитав стоимость получим 64000 руб. Сложив все затраты для разработки данного проекта в сторонних организациях получаем минимум 592000 руб, без учета расходов на материалы, программное обеспечение и т.д., что значительно превышает наши расходы.

Протокол передачи данных по USART

Передача.

1. Инициализация устройства

2.Определение структуры данных

3. Определение типа передаваемых данных

4. Объявление массива переменных

5. Объявление минимума данных передаваемых по каналу связи

6. Активация функциии начала передачи данных по USB-B

7. Передача массива данных

8.Активация функциии окончания передачи данных по USB-B

9. Окончание передачи массива данных

10. Отправление контрольного кода

Прием.

1.Прием массива данных

2.Прием контрольного кода

3.Сравнение контрольной суммы

Листинг программы

```
#include "spi.h"

#include "type.h"

#include "messags.h"

#include "timers.h"

#include "stm32f10x.h"

#include "stm32f10x_spi.h"

#include "stm32f10x_gpio.h"

#include "stm32f10x_rcc.h"

#include "graphic.h"

#include "stdint.h"
```

```
SPI_FSM_STATES     SPI_FSM_state;
uint8_t            SPI_FSM_current_hw;
void InitSPI_FSM() {
  RCC->CFGR &= 0xFFFFC7FF;
  RCC->CFGR |= 0x00002000;
  SPI_FSM_state = SPI_FSM_START;
}
#define            SPI_CONFIG_PGA280 ( \
  SPI_Direction_2Lines_FullDuplex   | \
  SPI_Mode_Master                   | \
  SPI_DataSize_16b                  | \
  SPI_CPOL_High                     | \
  SPI_CPHA_1Edge                    | \
  SPI_NSS_Soft                      | \
  SPI_BaudRatePrescaler_128         | \
  SPI_FirstBit_MSB                  | \
  0x0040) // SPI Enable Bit
#define            SPI_CONFIG_PGA280ECS ( \
  SPI_Direction_2Lines_FullDuplex   | \
  SPI_Mode_Master                   | \
  SPI_DataSize_8b                   | \
  SPI_CPOL_High                     | \
  SPI_CPHA_1Edge                    | \
  SPI_NSS_Soft                      | \
  SPI_BaudRatePrescaler_128         | \
  SPI_FirstBit_MSB                  | \
```

```
  0x0040) // SPI Enable Bit
#define          SPI_CONFIG_TMP123_DISP ( \
  SPI_Direction_2Lines_FullDuplex   | \
  SPI_Mode_Master                   | \
  SPI_DataSize_16b                  | \
  SPI_CPOL_High                     | \
  SPI_CPHA_2Edge                    | \
  SPI_NSS_Soft                      | \
  SPI_BaudRatePrescaler_256         | \
  SPI_FirstBit_MSB                  | \
  0x0040) // SPI Enable Bit

#define          SPI_CONFIG_DAC8811_DAC8831_ADS7866     ( \
  SPI_Direction_2Lines_FullDuplex   | \
  SPI_Mode_Master                   | \
  SPI_DataSize_16b                  | \
  SPI_CPOL_Low                      | \
  SPI_CPHA_1Edge                    | \
  SPI_NSS_Soft                      | \
  SPI_BaudRatePrescaler_128         | \
  SPI_FirstBit_MSB                  | \
  0x0040) // SPI Enable Bit
uint8_t ProcessSPI_FSM(SPI_HW hardware, uint16_t *SPI_Data) {
  //int i;
  switch(SPI_FSM_state) {
        case SPI_FSM_START:
              if(hardware != SPI_GEN_PULSE) {
```

```
        GPIO_ResetBits(GPIOC, \
                MEAS_OE_Pin         | \
                GEN_OE_Pin          );
        GPIO_SetBits(GPIOC,   \
                MEAS_CS_Pin                 | \
                GEN_CS_Pin          );
    }
    RCC_APB2PeriphClockCmd(RCC_APB2Periph_SPI1, ENABLE);
    SPI_FSM_current_hw = hardware;
    // Select hardware
    switch(SPI_FSM_current_hw) {
        case SPI_MEAS:
            SPI1->CR1 = SPI_CONFIG_PGA280;
            MEAS_OE_HIGH();
            MEAS_CS_LOW();
            SPI_I2S_SendData(SPI1, *SPI_Data);
            break;
        case SPI_MEAS_PULSE:
            SPI1->CR1 = SPI_CONFIG_PGA280ECS;
            MEAS_OE_HIGH();
            MEAS_CS_LOW();
            SPI_I2S_SendData(SPI1, 0xC2);
            break;
        case SPI_GEN:
            SPI1->CR1 = SPI_CONFIG_PGA280;
            GEN_OE_HIGH();
            GEN_CS_LOW();
```

```
            SPI_I2S_SendData(SPI1, *SPI_Data);
            break;
        case SPI_GEN_PULSE:
        case SPI_GEN_PGA:
        case SPI_GEN_DAC8831:
        case SPI_GEN_DAC8811:
        case SPI_GEN_ADS7866:
            SPI1->CR1 = SPI_CONFIG_PGA280ECS;
            GEN_OE_HIGH();
            GEN_CS_LOW();
            switch(SPI_FSM_current_hw) {
                case SPI_GEN_PULSE:
                    SPI_I2S_SendData(SPI1, 0xC5);
                    break;
                case SPI_GEN_PGA:
                    SPI_I2S_SendData(SPI1, 0xC1);
                    break;
                case SPI_GEN_DAC8831:
                    SPI_I2S_SendData(SPI1, 0xC3);
                    break;
                case SPI_GEN_DAC8811:
                    SPI_I2S_SendData(SPI1, 0xC4);
                    break;
                case SPI_GEN_ADS7866:
                    SPI_I2S_SendData(SPI1, 0xC0);
                    break;
            }
```

```
                break;
            case SPI_TEMP0:
            case SPI_TEMP1:
            case SPI_DISP:
                SPI1->CR1 = SPI_CONFIG_TMP123_DISP;
            //  for(i=0;i<1000000;i++);
                switch(SPI_FSM_current_hw) {
                    case SPI_TEMP0:
                        TEMP0_CS_LOW();
                        break;
                    case SPI_TEMP1:
                        TEMP1_CS_LOW();
                        break;
                    case SPI_DISP:
                        GPIOD->BSRR = GPIO_Pin_2; //!!!!
                        DISP_CS_LOW();
                        break;
                }
                SPI_I2S_SendData(SPI1, *SPI_Data);
                break;
            case SPI_FLASH:
                FLASH_CS_LOW();
                break;
        }
        SPI_FSM_state = SPI_FSM_WAIT_SPI_HW;
    case SPI_FSM_WAIT_SPI_HW:
        if((SPI_I2S_GetFlagStatus(SPI1, SPI_I2S_FLAG_RXNE) == RESET) ||
(hardware != SPI_FSM_current_hw)) break;
```

```
SPI_Cmd(SPI1, DISABLE);
switch(SPI_FSM_current_hw) {
    case SPI_GEN_PGA:
    case SPI_GEN_DAC8831:
    case SPI_GEN_DAC8811:
    case SPI_GEN_ADS7866:
        SPI_I2S_ReceiveData(SPI1);
        SPI1->CR1 = (SPI_FSM_current_hw == SPI_GEN_PGA) ?
SPI_CONFIG_PGA280 : SPI_CONFIG_DAC8811_DAC8831_ADS7866;
        SPI_I2S_SendData(SPI1, *SPI_Data);
        SPI_FSM_state = SPI_FSM_ECS_WAIT_SPI_HW;
        break;
}
case SPI_FSM_ECS_WAIT_SPI_HW:
    if((SPI_I2S_GetFlagStatus(SPI1, SPI_I2S_FLAG_RXNE) == RESET) ||
(hardware != SPI_FSM_current_hw)) break;
    *SPI_Data = SPI_I2S_ReceiveData(SPI1);
    RCC_APB2PeriphClockCmd(RCC_APB2Periph_SPI1, DISABLE);


    if(SPI_FSM_current_hw != SPI_GEN_PULSE && SPI_FSM_current_hw
!= SPI_MEAS_PULSE) {
        GPIO_ResetBits(GPIOC, \
            MEAS_OE_Pin     | \
            GEN_OE_Pin      );
        GPIO_SetBits(GPIOC,   \
            MEAS_CS_Pin             | \
            GEN_CS_Pin      | \
            TEMP0_CS_Pin    | \
            TEMP1_CS_Pin    | \
```

```
                    FLASH_CS_Pin        | \
                    DISP_CS_Pin         );
            }
            SPI_FSM_state = SPI_FSM_START;
            return(0);
    }
    return(1);
}
```

ЗАКЛЮЧЕНИЕ

В данном дипломном проекте мы разработали модуль цифрового генератора сигналов произвольной формы. Рассчитали затраты необходимые на создание такого устройства.

Предоставили разводку печатной платы в двух слоях. Из-за малого количества места на печатной плате, мы поместили компоненты слишком близко друг к другу, что привело к тому, что будут потери в радио тракте, слабый коэффициент стоячей волны, отсутствие копланарных проводников.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Мамонкин И.Г. Усилительные устройства: Учебное пособие для вузов. Связь, 1977. –360с.

2. http://www.asb.co.kr/sub01_02_01/product/view1.html.

3. Импульсные источники питания. Теоретические основы проектиро- вания и руководство по практическому применению/Пер. с англ. – М.: Издательский дом “Додэка”, 2008. – 272с.

4. http://www.macrogroup.ru/catalog/partgroup/3162.html

5. http://www.ti.com/amplifier-circuit/op-amps/overview.html

6. http://www.pselectro.ru/mlpcb_4

7. Организация и планирование радиотехнического производства. Управление предприятием радиопромышленности / Под ред. А.Н. Кноля, Г.М. Лапшина. – М.: Высшая школа, 1987. – 351с.

8. СанПиН 2.2.4.3359-16. Санитарно-эпидемиологические требования к физическим факторам на рабочих местах. – Введ. 2016-21-07. – М.: Изд- во стандартов, 2016. – 69с.

9. СТО ЮУрГУ 04-2008 Стандарт организации. Курсовое и дипломное проектирование. Общие требования к содержанию и оформлению / составители: Т.И. Парубочая, Н.В. Сырещикова, В.И. Гузеев, Л.В. Винокурова. – Челябинск: Изд-во ЮУрГУ, 2008. – 56с.

10. ГОСТ 2.105 – 95. Общие требования к текстовым документам. – Введ. 1995. – М.: Изд-во стандартов, 1995. – 29с.

11. ГОСТ 12.2.007-75. Изделия электротехнические. – Введ. 1975, – М.: Изд-во стандартов, 1975. –12с.

12. ГОСТ 14254-96. Степени защиты, обеспечиваемые оболочками. – Введ. 1997-01-01. – М.: Изд-во стандартов, 1997. –35с.

13. ГОСТ 12.0.003-2014. Опасные и вредные производственные факторы. – Введ. 2014 – М.: Изд-во стандартов, 2014. –17с.

14. СанПиН.23-05-95. Естественное и искусственное освещение. Нормы проектирования. – Введ. 1996-01-01. – М.: Изд-во стандартов, 1996. – 17с.

15. ГОСТ 12.1.005-88. Общие санитарно-гигиенические требования к воздуху рабочей зоны. – Введ. 1989-01-01. – М.: Изд-во стандартов,1989.– 46с.

16. Едренкин Э.Д., Макаров В.В. Проектирование технологических процессов сборки РЭА. Учебное пособие к курсовому проектированию. - Челябинск, ЧПИ, 1986. –81с.

17. Проектирование и технология радиоэлектронных средств: Методические указания к дипломному проектированию/ Составители: Бабин М.П., Лысенко Ю.В., Пермяков Б.В., Степаненко В.Н. – Челябинск: ЮУрГУ, 2004. –47с.

18. Александров К.К., Кузьмина Е.Г. Электротехнические чертежи и схемы. – М.: Энергоатомиздат, 1990. – 288с.

19. Хоровиц П. Искусство схемотехнике / П. Хоровиц, У. Хилл; изд. 5, перераб., пер. с англ. – М.: Мир, 1998. – 702с.